УКРАЇНА

(19) UA **(11) 69739** **(13) U**

(51) МПК
H03K 5/24 (2006.01)
G05B 1/01 (2006.01)

ДЕРЖАВНА СЛУЖБА ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2011 12870**

(22) Дата подання заявки: **02.11.2011**

(24) Дата, з якої є чинними права на корисну модель: **10.05.2012**

(46) Публікація відомостей про видачу патенту: **10.05.2012, Бюл.№ 9**

(72) Винахідник(и):
Азаров Олексій Дмитрович (UA),
Девдюк Андрій Миколайович (UA),
Павлов Сергій Володимирович (UA),
Гарнага Володимир Анатолійович (UA)

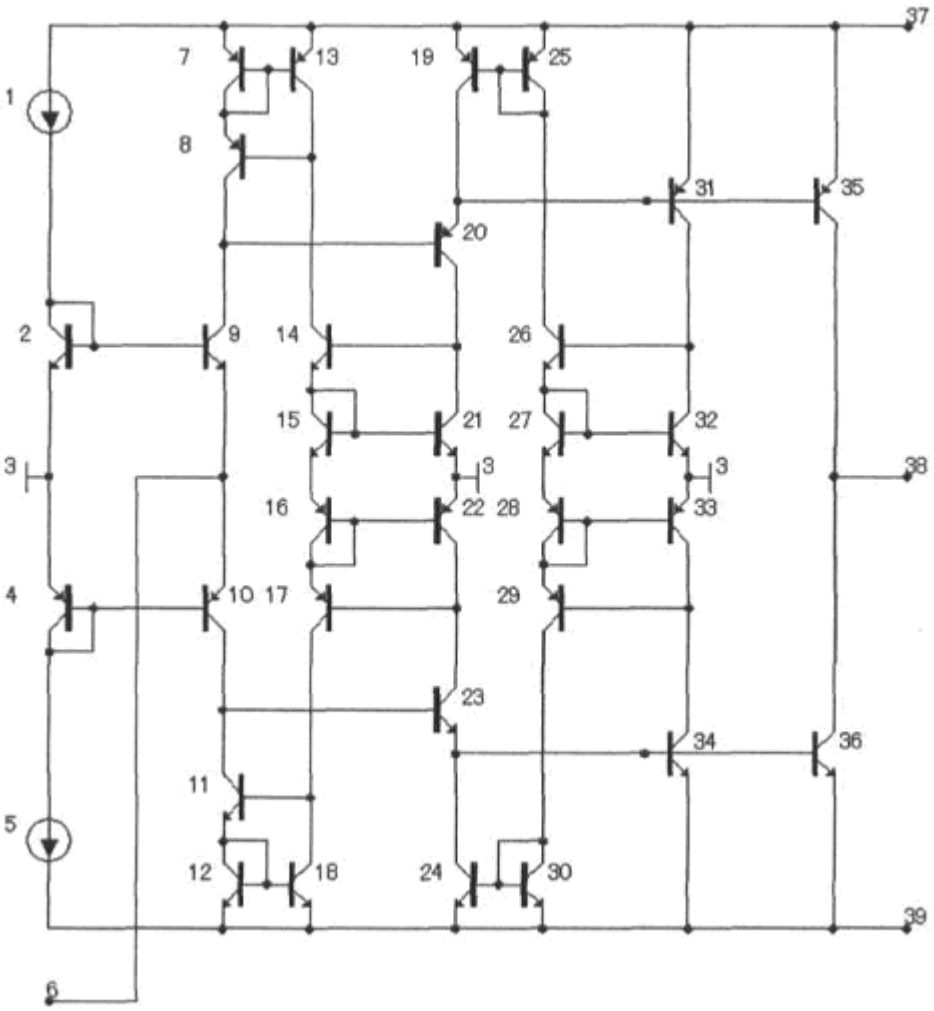
(73) Власник(и):
ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ,
Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ

(57) Реферат:

Двотактний симетричний підсилювач струму містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, тридцять два транзистори.

UA 69739 U


1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39

Корисна модель належить до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо підсилювач постійного струму [А.с. СРСР № 1548841, м.кл. H03F3/26, опубл: 1989 р.], який містить перший і другий транзистори, які мають різну структуру. Емітери першого і другого транзисторів з'єднано, а точка з'єднання є входом підсилювача постійного струму. Третій і четвертий транзистори мають структуру відповідно другого і першого транзисторів, їх колектори є виходами підсилювача постійного струму, а бази третього і четвертого транзисторів з'єднано з колекторами першого і другого транзисторів відповідно. Бази першого і другого транзисторів з'єднано з шиною нульового потенціалу через перший і другий транзистори відповідно у діодному включені та перше і друге джерела струмів, які включено між шинами додатного та від'ємного живлення та базами першого і другого транзисторів відповідно. Перший та другий транзистори з діодному включенні мають структуру відповідно до першого і другого транзисторів відповідно. Перший та другий струмозадавальні елементи виконано відповідно на першому і другому відбивачах струму та п'ятому і шостому транзисторах, які мають структуру відповідно до третього і четвертого транзисторів. Бази п'ятого і шостого транзисторів є виходами відповідно першого і другого струмозадавального елементів, їх колектори з'єднано з шиною нульового потенціалу, а емітери - з виходами відповідно першого і другого відбивачів струму. Входи відбивачів струму з'єднано через двополюсний струмозадавальний елемент. Колектори третього і четвертого транзисторів з'єднано через коло зміщення. Коло зміщення виконано на третьому і четвертому транзисторах в діодному включенні. Виводи кола зміщення підключено до баз сьомого і восьмого транзисторів, які ввімкнено по схемі із загальним колектором. Емітери сьомого і восьмого транзисторів з'єднано, вони є виходом підсилювача.

Недоліком пристрою є низький коефіцієнт підсилення та низька швидкодія.

За прототип вибрано двотактний симетричний підсилювач струму [Push-pull amplifier with current mirrors for determining the quiescent operating point, United States Patent 3,852,678, Dec. 3, 1974], який містить перше і друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього та четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другі виводи першого і другого джерел струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною.

Недоліком прототипу є низький коефіцієнт підсилення, що обмежує галузь використання пристрою.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача струму, в якому за рахунок введення нових елементів та зв'язків між ними збільшується коефіцієнт підсилення, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний симетричний підсилювач струму, який містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, колектори третього і четвертого транзисторів з'єднано з колекторами одинадцятого та дванадцятого транзисторів відповідно, бази одинадцятого та дванадцятого транзисторів з'єднано з колекторами дев'ятого та десятого транзисторів відповідно, а також з колекторами тринадцятого та чотирнадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів з'єднано з колекторами та базами сьомого та восьмого транзисторів, а також з базами дев'ятого та десятого транзисторів відповідно, емітери тринадцятого та чотирнадцятого транзисторів з'єднано з колекторами і базами п'ятнадцятого і шістнадцятого транзисторів, а також з базами двадцять першого і двадцять другого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів об'єднано, емітери двадцять першого та двадцять другого транзисторів з'єднано з шиною нульового потенціалу, бази тринадцятого та

чотирнадцятого транзисторів з'єднано з колекторами п'ятого і двадцять першого та шостого і двадцять другого транзисторів відповідно, емітери п'ятого та шостого транзисторів з'єднано з колекторами сімнадцятого та вісімнадцятого, а також з базами двадцять сьомого і тридцять першого та двадцять восьмого і тридцять другого транзисторів відповідно, бази сімнадцятого та вісімнадцятого транзисторів з'єднано з базами і колекторами дев'ятнадцятого та двадцятого транзисторів, а також з колекторами двадцять третього та двадцять четвертого транзисторів відповідно, емітери двадцять третього та двадцять четвертого транзисторів з'єднано з колекторами та базами двадцять п'ятого та двадцять шостого транзисторів, а також з базами двадцять дев'ятого та тридцятого транзисторів відповідно, емітери двадцять п'ятого та двадцять шостого транзисторів об'єднано, емітери двадцять дев'ятого та тридцятого транзисторів з'єднано з шиною нульового потенціалу, бази двадцять третього та двадцять четвертого транзисторів з'єднано з колекторами двадцять сьомого і двадцять дев'ятого та двадцять восьмого і тридцятого транзисторів відповідно, колектори тридцять першого та тридцять другого транзисторів з'єднано з вихідною шиною, емітери сьомого, дев'ятого, сімнадцятого, дев'ятнадцятого, двадцять сьомого та тридцять першого транзисторів підключено до шини додатного живлення, емітери восьмого, десятого, вісімнадцятого, двадцятого, двадцять восьмого та тридцять другого транзисторів підключено до шини від'ємного живлення.

На кресленні представлено принципову схему підсилювача постійного струму.

Пристрій містить вхідну шину 6, яку з'єднано з емітерами третього 9 і четвертого 10 транзисторів, емітери першого 2 і другого 4 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 3, колектори третього 9 і четвертого 10 транзисторів з'єднано з базами п'ятого 20 і шостого 23 транзисторів відповідно, бази третього 9 і четвертого 10 транзисторів з'єднано з базами та колекторами першого 2 і другого 4 транзисторів відповідно, а також з першими виводами першого 1 і другого 5 джерел струму, другі виводи першого 1 і другого 5 джерел струму з'єднано з шинами додатного 37 і від'ємного 39 живлення відповідно, колектори третього 9 і четвертого 10 транзисторів з'єднано з колекторами одинадцятого 8 та дванадцятого 11 транзисторів відповідно, бази одинадцятого 8 та дванадцятого 11 транзисторів з'єднано з колекторами дев'ятого 13 та десятого 18 транзисторів відповідно, а також з колекторами тринадцятого 14 та чотирнадцятого 17 транзисторів відповідно, емітери одинадцятого 8 та дванадцятого 11 транзисторів з'єднано з колекторами та базами сьомого 7 та восьмого 12 транзисторів, а також з базами дев'ятого 13 та десятого 18 транзисторів відповідно, емітери тринадцятого 14 та чотирнадцятого 17 транзисторів з'єднано з колекторами і базами п'ятнадцятого 15 і шістнадцятого 16 транзисторів, а також з базами двадцять першого 21 і двадцять другого 22 транзисторів відповідно, емітери п'ятнадцятого 15 і шістнадцятого 16 транзисторів об'єднано, емітери двадцять першого 21 та двадцять другого 22 транзисторів з'єднано з шиною нульового потенціалу 3, бази тринадцятого 14 та чотирнадцятого 17 транзисторів з'єднано з колекторами п'ятого 20 і двадцять першого 21 та шостого 23 і двадцять другого 22 транзисторів відповідно, емітери п'ятого 20 та шостого 23 транзисторів з'єднано з колекторами сімнадцятого 19 та вісімнадцятого 24, а також з базами двадцять сьомого 31 і тридцять першого 35 та двадцять восьмого 34 і тридцять другого 36 транзисторів відповідно, бази сімнадцятого 19 та вісімнадцятого 24 транзисторів з'єднано з базами і колекторами дев'ятнадцятого 25 та двадцятого 30 транзисторів, а також з колекторами двадцять третього 26 та двадцять четвертого 29 транзисторів відповідно, емітери двадцять третього 26 та двадцять четвертого 29 транзисторів з'єднано з колекторами та базами двадцять п'ятого 27 та двадцять шостого 28 транзисторів, а також з базами двадцять дев'ятого 32 та тридцятого 33 транзисторів відповідно, емітери двадцять п'ятого 27 та двадцять шостого 28 транзисторів об'єднано, емітери двадцять дев'ятого 32 та тридцятого 33 транзисторів з'єднано з шиною нульового потенціалу 3, бази двадцять третього 26 та двадцять четвертого 29 транзисторів з'єднано з колекторами двадцять сьомого 31 і двадцять дев'ятого 32 та двадцять восьмого 34 і тридцятого 33 транзисторів відповідно, колектори тридцять першого 35 та тридцять другого 36 транзисторів з'єднано з вихідною шиною 38, емітери сьомого 7, дев'ятого 13, сімнадцятого 19, дев'ятнадцятого 25, двадцять сьомого 31 та тридцять першого 35 транзисторів підключено до шини додатного живлення 37, емітери восьмого 12, десятого 18, вісімнадцятого 24, двадцятого 30, двадцять восьмого 34 та тридцять другого 36 транзисторів підключено до шини від'ємного живлення 39.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 6. Якщо вхідний струм втікає у схему, то четвертий 10 транзистор трохи відкривається, а третій 9 транзистор трохи закривається, відповідно шостий 23 транзистор трохи відкривається, а п'ятий 20 транзистор трохи закривається, відповідно двадцять восьмий 34 та тридцять другий 36 транзистори трохи

відкриваються, а двадцять сьомий 31 та тридцять перший 35 транзистори трохи закриваються. При цьому потенціал точки об'єднання колекторів тридцять першого 35 та тридцять другого 36 транзисторів зменшується і прямує до - $E_ж$.

Якщо вхідний струм витікає зі схеми, то четвертий 10 транзистор трохи закривається, а третій 9 транзистор трохи відкривається, відповідно шостий 23 транзистор трохи закривається, а п'ятий 20 транзистор трохи відкривається, відповідно двадцять восьмий 34 та тридцять другий 36 транзистори трохи закриваються, а двадцять сьомий 31 та тридцять перший 35 транзистори трохи відкриваються. При цьому потенціал точки об'єднання колекторів тридцять першого 35 та тридцять другого 36 транзисторів зростає і прямує до + $E_ж$.

Перше 1 і друге 5 джерела струму та перший 2, другий 4, третій 9, четвертий 10 транзистори утворюють схему задання режиму по постійному струму.

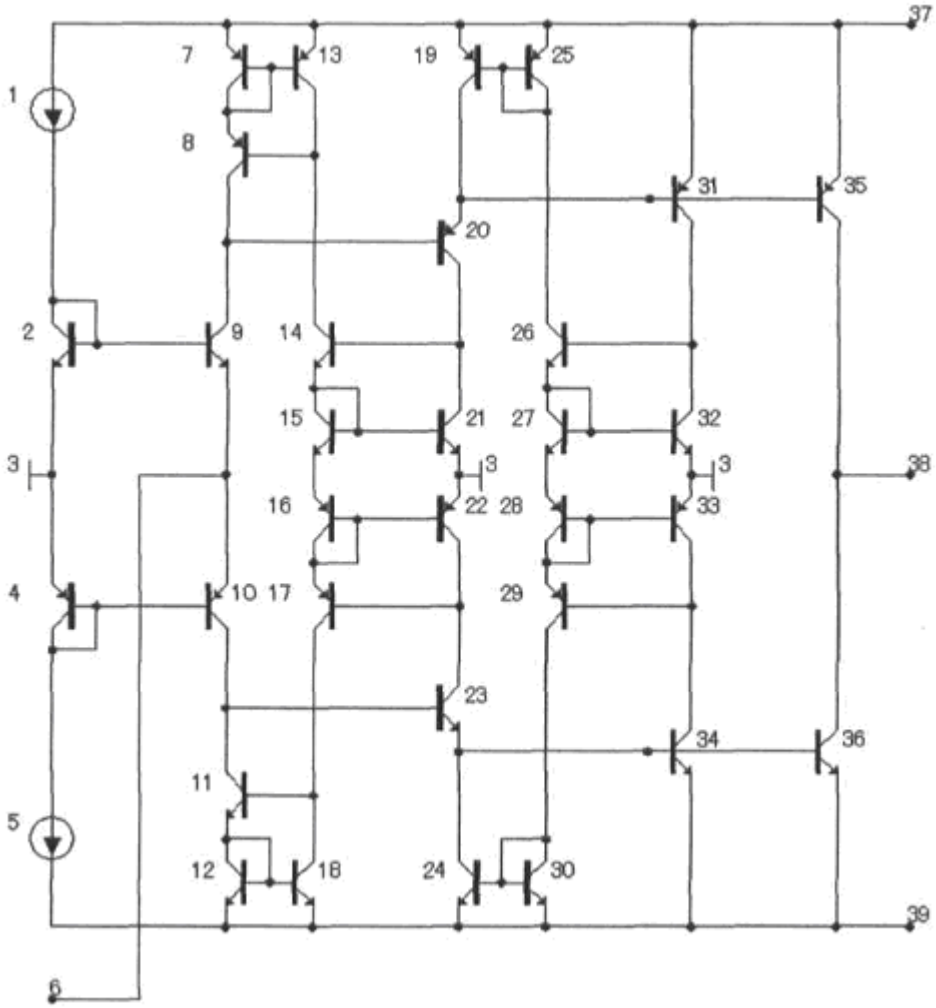
Сьомий 7, дев'ятий 13 і одинадцятий 8 та восьмий 12, десятий 18 і дванадцятий 11, а також сімнадцятий 19 і дев'ятнадцятий 25 та вісімнадцятий 24 і двадцятий 30 транзистори являють собою компенсатори струму, тринадцятий 14, п'ятнадцятий 15, шістнадцятий 16, чотирнадцятий 17, двадцять перший 21, двадцять другий 22, а також двадцять третій 26, двадцять п'ятий 27, двадцять шостий 28, двадцять четвертий 29, двадцять дев'ятий 32, тридцятий 33 транзистори являють собою двонаправлені відбивачі струму, які задають режим робочої точки для п'ятого 20, шостого 23, двадцять сьомого 31, двадцять восьмого 34, тридцять першого 35, тридцять другого 36 транзисторів відповідно, які утворюють проміжний каскад з протифазним підсиленням.

Шини додатного 37 і від'ємного 39 живлення, а також шина нульового потенціалу 3 забезпечують потрібний рівень напруги для живлення схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Двотактний симетричний підсилювач струму, що містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, який **відрізняється** тим, що у нього введено двадцять шість транзисторів, причому колектори третього і четвертого транзисторів з'єднано з колекторами одинадцятого та дванадцятого транзисторів відповідно, бази одинадцятого та дванадцятого транзисторів з'єднано з колекторами дев'ятого та десятого транзисторів відповідно, а також з колекторами тринадцятого та чотирнадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів з'єднано з колекторами та базами сьомого та восьмого транзисторів, а також з базами дев'ятого та десятого транзисторів відповідно, емітери тринадцятого та чотирнадцятого транзисторів з'єднано з колекторами і базами п'ятнадцятого і шістнадцятого транзисторів, а також з базами двадцять першого і двадцять другого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів об'єднано, емітери двадцять першого та двадцять другого транзисторів з'єднано з шиною нульового потенціалу, бази тринадцятого та чотирнадцятого транзисторів з'єднано з колекторами п'ятого і двадцять першого та шостого і двадцять другого транзисторів відповідно, емітери п'ятого та шостого транзисторів з'єднано з колекторами сімнадцятого та вісімнадцятого, а також з базами двадцять сьомого і тридцять першого та двадцять восьмого і тридцять другого транзисторів відповідно, бази сімнадцятого та вісімнадцятого транзисторів з'єднано з базами і колекторами дев'ятнадцятого та двадцятого транзисторів, а також з колекторами двадцять третього та двадцять четвертого транзисторів відповідно, емітери двадцять третього та двадцять четвертого транзисторів з'єднано з колекторами та базами двадцять п'ятого та двадцять шостого транзисторів, а також з базами двадцять дев'ятого та тридцятого транзисторів відповідно, емітери двадцять п'ятого та двадцять шостого транзисторів об'єднано, емітери двадцять дев'ятого та тридцятого транзисторів з'єднано з шиною нульового потенціалу, бази двадцять третього та двадцять четвертого транзисторів з'єднано з колекторами двадцять сьомого і двадцять дев'ятого та двадцять восьмого і тридцятого транзисторів відповідно, колектори тридцять першого та тридцять другого транзисторів з'єднано з вихідною шиною, емітери сьомого, дев'ятого, сімнадцятого, дев'ятнадцятого, двадцять сьомого та тридцять першого транзисторів підключено

до шини додатного живлення, емітери восьмого, десятого, вісімнадцятого, двадцятого, двадцять восьмого та тридцять другого транзисторів підключено до шини від'ємного живлення.



Комп'ютерна верстка А. Крижанівський

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601