ІНФОРМАЦІЙНІ ТЕХНОЛОГІЇ ТА КОМП'ЮТЕРНА ТЕХНІКА

УДК 681.325.5
О. Д. Азаров, **д**. т. н., проф.;
О. І. Черняк

СХЕМОТЕХНІЧНІ ОСНОВИ ПОБІТОВОГО ВІДНІМАННЯ КОДІВ ЗОЛОТОЇ ПРОПОРЦІЇ

Побітове виконання операцій над кодами золотої пропорції дозволяє зменшити кількість інформаційних зв'язків при розподілених обчисленнях.

Розглянуто особливості будови та функціонування пристрою для побітового віднімання кодів золотої пропорції. Запропоновано пристрій для побітового віднімання зі зменшеними апаратними витратами. Наведено часові діаграми роботи пристрою.

Актуальність

Використання конвеєрної порозрядної обробки послідовних кодів чисел дозволяє у десятки разів зменшити кількість інформаційних зв'язків без суттєвого зменшення продуктивності обчислень. Побітова конвеєрна обробка є окремим випадком порозрядної конвеєрної обробки, з якою досягається найменша кількість інформаційних зв'язків між розподіленими пристроями. Коди золотої пропорції дозволяють виконувати усі арифметичні операції побітно, починаючи зі старших розрядів, забезпечуючи при цьому найменшу довжину перенесення у старші розряди. Крім самостійного значення побітове віднімання використовується також у разі виконання інших побітових операцій, наприклад, побітового ділення. Тому актуальною є розробка схемотехнічних основ побітового конвеєрного віднімання кодів золотої пропорції, як невід'ємної частини арифметичних операцій над кодами чисел.

Аналіз останніх досліджень

Серед відомих надлишкових позиційних систем числення для конвеєрної порозрядної обробки послідовних кодів чисел найширше використовується знакорозрядна система числення [1, 2, 3, 4] з використанням відомих неавтономних алгоритмів обробки. У попередніх наукових працях авторами запропоновано загальний опис класу систем числення, що дозволяють виконувати порозрядну обробку зі старших розрядів [5]. Вони названі АМ-системами числення. Особливістю АМ-систем числення є наявність у них адитивного співвідношення певного типу між вагами розрядів. Тому у цих системах числення можна виконувати адитивні перетворення над кодами чисел, що є узагальненням перенесення і позичання при додаванні і відніманні. У [6] доведено твердження, що дозволяє визначати довжину перенесення при виконанні додавання в АМ-системах числення. Окремим випадком АМ-систем числення є коди золотої пропорції, описані у [7, 8]. Ці коди дозволяють виконувати конвеєрну побітову обробку, починаючи зі старших розрядів. Алгоритмічні основи побітової конвеєрної обробки кодів золотої пропорції описані у [9].

Постановка задач

Метою статті є підвищення ефективності реалізації операцій при побітовому виконанні розподілених обчислень. Побітова обробка послідовних кодів золотої пропорції має певні особливості. Побітове віднімання не можна замінити побітовим додаванням обернених кодів, оскільки отриманий при цьому результат непридатний для конвеєрного виконання побітового ділення. Тому для організації побітових конвеєрів потрібно реалізувати побітове віднімання безпосередньо. При побітовому відніманні кодів золотої пропорції використовується код проміжного результату, що є частиною розрядів різниці, отриманої на черговому такті, через які можливе розповсюдження перенесення і позичання у наступному такті виконання операції. Код проміжного результату форму-

© О. Д. Азаров, О. І. Черняк, 2008

ється за допомогою адитивних перетворень коду золотої пропорції. Таким чином, в процесі розробки схемотехнічних основ конвеєрного побітового віднімання кодів золотої пропорції постають такі задачі:

1. Розробка структурної схеми конвеєрного пристрою побітового віднімання послідовних кодів золотої пропорції з урахуванням знаку проміжного результату.

2. Перевірка працездатності розроблених схем.

Розробка побітового віднімача кодів золотої пропорції

Розглянемо пристрій, що віднімає менше додатне число від більшого додатного. Відповідно до алгоритму пристрій побітового віднімання містить блок формування сигналів (БФС), що формує черговий розряд різниці z та черговий проміжний результат S_i, а також регістр (Pг), що зберігає попередній проміжний результат S_{i-1}. Пристрій виконує віднімання двох послідовних кодів золотої пропорції побітово, починаючи зі старших бітів. Формат даних пристрою має такий вигляд:

		4	3	2		
		+	6			
			7			
	–					
	1		1		1	
	2		1		0	

5 4 3 2 1 — код проміжного результату S_{i-1}, що встановлюється у регістрі Pг на попередньому такті; 6 — i-й розряд коду першого операнда x; 7 — i-й розряд коду другого операнда y; 12 11 10 9 8 — код проміжного результату S_i, що формується на виході БФС згідно з кодом S_{i-1}, значеннями чергових розрядів операндів x, y та алгоритмом віднімання.

Незважаючи на те, що зменшуване більше ніж від'ємник, через надлишковість кодів золотої пропорції можливий тимчасовий перехід проміжного результату у від'ємне значення. Тому пристрій побітового віднімання на кожному такті виконання операції повинен враховувати знак попереднього проміжного результату ЗнS_{i-1}, а також визначати і зберігати знак поточного проміжного результату ЗнS_i. Тобто, на вхід блоку формування сигналів даного пристрою повинні надходити такі сигнали: код попереднього проміжного результату S_{i-1}, чергові розряди зменшуваного x і від'ємника y, а також сигнал знаку попереднього проміжного результату ЗнS_{i-1}. У свою чергу, блок формування сигналів повинен крім коду проміжного результату S_i та чергового розряду різниці z формувати додатково сигнал знаку поточного проміжного результату ЗнS_i. На кожному такті порозрядного віднімання до попереднього проміжного результату додається черговий розряд зменшуваного і віднімається черговий розряд від'ємника. Для спрощення апаратної реалізації БФС при утворенні від'ємного проміжного результату на наступному такті потрібно поміняти місцями чергові розряди операндів за допомогою їх перекомутації. Отже, структурна схема пристрою побітового віднімання кодів золотої пропорції повинна мати такі блоки: комутатор К чергових розрядів операндів; тригер ТЗн для запам'ятовування знаку чергового проміжного результату; блок формування сигналів БФС для формування коду чергового проміжного результату і чергового розряду різниці; регістр Рг для запам'ятовування коду чергового проміжного результату.

Структурна схема пристрою подана на рис. 1.

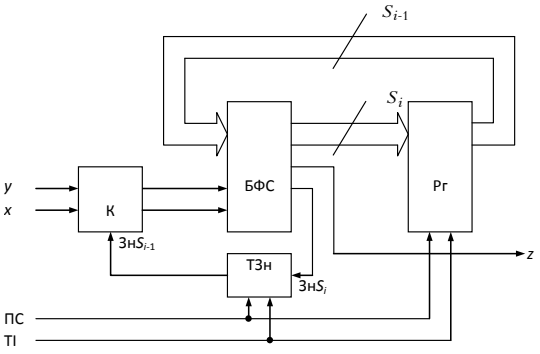

Рис. 1. Структурна схема пристрою побітового віднімання послідовних кодів золотої пропорції

Розглянемо детальніше функції, які виконує БФС. Під час виконання побітового віднімання може виникнути необхідність позичання зі старших розрядів, що реалізується за допомогою розгортки. Крім того, внаслідок зсуву регістра на один розряд ліворуч код, що міститься в регістрі може отримати нульове значення. Для запобігання даній ситуації потрібно на кожному такті виконувати операцію розгортки старшого розряду регістра. Навіть якщо значення коду зменшуваного більше від значення коду від'ємника і обидва вони додатні, код проміжного результату може тимчасово приймати як нульове, так і від'ємне значення. Тому, в залежності від знаку проміжного результату, на черговому такті від його коду віднімається черговий розряд зменшуваного або від'ємника і, відповідно, додається черговий розряд від'ємника або зменшуваного. В результаті додавання коду проміжного результату і чергового розряду одного з операндів може виникнути переповнення. Для ліквідування даного переповнення потрібно виконувати пере-

несення, що реалізується за допомогою згортки коду проміжного результату. Аналогічно, для ліквідування переходу у від'ємне значення потрібно виконувати позичання, що реалізується за допомогою розгортки. Отже, на кожному такті побітового віднімання додаються і віднімаються відповідні розряди зменшуваного і від'ємника, а також можуть виконуватись операції згортки та розгортки. Множина всіх можливих кодів проміжного результату визначає набір станів віднімача. Коди станів віднімача зберігаються у регістрі Рг, що може бути побудованим на D-тригерах. Переходи між станами визначено за допомогою віднімання у поточному розряді і виконання операцій згортки та розгортки коду попереднього проміжного результату для реалізації перенесення або позичання. Граф переходів між станами віднімача на рис. 2. Для спрощення рисунку переходи, що викликаються різними значеннями розрядів операндів зображені відповідними лініями:

- - - ► — переходи при $x = 0$ і $y = 1$;

⟶ — переходи при $x = 0$ і $y = 0$, або $x = 1$ і $y = 1$;

⟹ — переходи при $x = 1$ і $y = 0$;

Далі наведено один з можливих варіантів булевих виразів для реалізації сигналів D_0—D_4 на D-входи відповідних тригерів регістра, а також чергового розряду різниці z і знаку чергового проміжного результату ЗнS_i. Булеві вирази реалізують вказані сигнали на основі сигналів Q_0—Q_4 з відповідних виходів регістра Рг та чергових розрядів операндів x та y. Наведені вирази визначають структуру БФС.

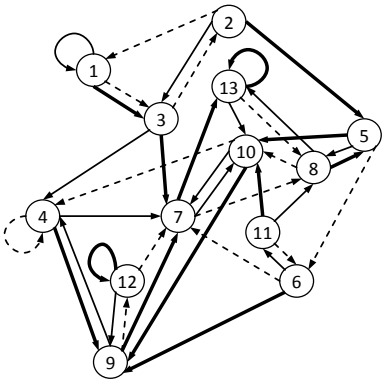

Рис. 2. Граф переходів між станами віднімача

$$D_0 = xQ_1;$$

$$D_1 = \overline{\overline{yQ_2}\left(x + \overline{Q_0}\right)};$$

$$D_2 = x\overline{Q_1}\,\overline{Q_0} + \overline{x}\,\overline{y}\,\overline{Q_2}\,\overline{Q_0}\,\overline{\overline{Q_3}\,\overline{Q_1}} + y\overline{\overline{Q_3}\,Q_1\,\overline{Q_3}\,\overline{Q_2}\,\overline{Q_1}};$$

$$D_3 = x\overline{\overline{Q_2}\,\overline{Q_1}\,\overline{Q_0}} + \overline{x}\,\overline{y}\,\overline{Q_2}\,\overline{Q_3\left(\overline{Q_1}\,\overline{Q_0}\right)\left(Q_4\,\overline{Q_3}\right)Q_1} + ;$$
$$+ y\overline{Q_4\,\overline{Q_3}\,\overline{Q_3}\,\overline{Q_2}}$$

$$D_4 = x\,Q_3 + \overline{x}\,\overline{y}\,\overline{Q_3\,\overline{\overline{Q_2}\,\overline{Q_1}\,\overline{Q_0}}\,\overline{Q_4\,Q_1}} + y\,\overline{Q_3\,Q_2\,\overline{Q_4\,\overline{Q_3}}};$$

$$z = Q_4\,\overline{\overline{Q_3}\left(\overline{Q_2} + y\right)\overline{Q_1\,x}};$$

$$\text{Зн}S_i = \text{Зн}S_i \oplus \overline{Q_3}\,\overline{Q_2}\,\overline{Q_1}\,y.$$

Стани віднімача

№ стану	Код проміжного результату	Код регістра
1	00000	0000
2	00010	0001
3	00100	0010
4	01000	0100
5	01001	0101
6	01010	0110
7	01100	0111
8	10010	1010
9	10100	1011
10	11000	1100
11	11001	1101
12	11010	1110
13	11100	1111

Для кодування 13 станів достатньо чотирьох розрядів регістра. У таблиці наведено стани віднімача, відповідні коди золотої пропорції, що являють собою значення проміжної суми, а також один із можливих варіантів кодів станів регістра.

Для зменшеної розрядності далі наведено один із можливих варіантів реалізації булевих функцій формування сигналів на входи регістра чергового розряду різниці та чергового значення знаку проміжного результату.

$$D_0 = \overline{y}\,\overline{Q_0}\,\overline{\overline{Q_0}\,\overline{Q_1}\,\overline{Q_2}\,\overline{Q_3}} + x\left(Q_0\,Q_1 + \overline{Q_0}\,\overline{Q_1}\,\overline{Q_2}\,\overline{Q_3}\right) + y\left(\overline{Q_0}\,\overline{Q_1}\,\overline{Q_2}\,\overline{Q_3} + \overline{Q_0}\,Q_1\,Q_2\,\overline{Q_4}\right);$$

$$D_1 = \overline{x}\,\overline{y}\,\overline{Q_0\,Q_1 + \overline{Q_0}\,\overline{Q_1}\,\overline{Q_2}\,\overline{Q_3}} + \overline{\overline{x}\,\overline{y}}\left(Q_0\,Q_1 + \overline{Q_0}\,\overline{Q_1}\,\overline{Q_2}\,\overline{Q_3}\right) + x\,\overline{Q_0}\,\overline{Q_1} + y\,\overline{\overline{Q_0}\,\overline{Q_1}}\,Q_2;$$

$$D_2 = \overline{Q_2}\,Q_3 + \overline{y}\,Q_0\,Q_1 + \overline{x}\,\overline{y}\,\overline{Q_0}\,\overline{Q_1}\,Q_2 + x\,\overline{\overline{Q_0}\,\overline{Q_1}} + y\,\overline{Q_0}\,\overline{Q_1}\,Q_2;$$

$$D_3 = \bar{x}\,\bar{y}\left(\overline{\overline{Q_0}\,\overline{Q_1}}\,Q_2 + \overline{Q_0}\,Q_1\,Q_3\right) + x\,Q_3 + y\left(\overline{Q_2}\,Q_3 + Q_0\,Q_1\,Q_2\right);$$

$$z = Q_2\,Q_3 + \bar{x}\,\bar{y}\,Q_0\,Q_1\,Q_3 + x\,Q_1\,Q_3;$$

$$\text{Зн}S_i = \text{Зн}S_i \oplus \overline{Q_0}\,\overline{Q_1}\,\overline{Q_2}\,\overline{Q_3}\,.$$

Робота віднімача за даними виразами перевірялась шляхом програмного моделювання. Програмна модель створена у середовищі Visual Studio 2005 мовою C#. Результат моделювання для прикладу віднімання восьмирозрядних кодів 01011100 і 00110110 наведено на рис. 3. Часові діаграми роботи віднімача для даного прикладу наведені на рис. 4.

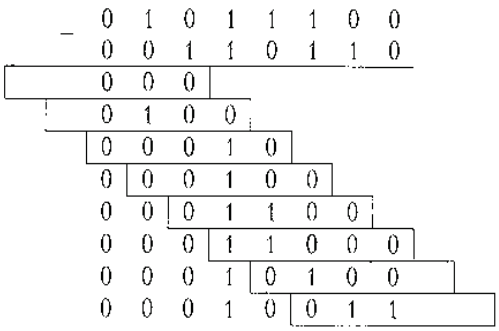

Рис. 3. Приклад побітового віднімання кодів золотої пропорції

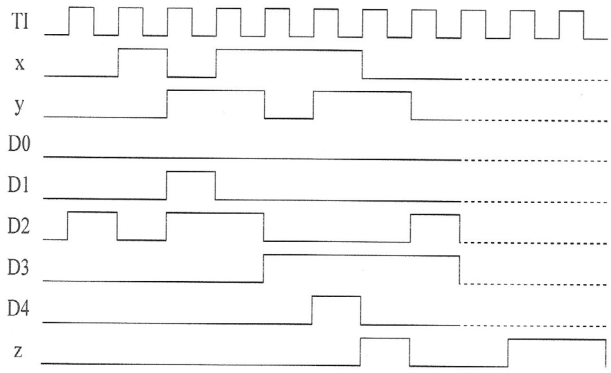

Рис. 4. Часові діаграми роботи пристрою побітового віднімання кодів золотої пропорції

Результат моделювання та часові діаграми того ж прикладу побітового віднімання для зменшеної розрядності наведено відповідно на рис. 5 та рис. 6.

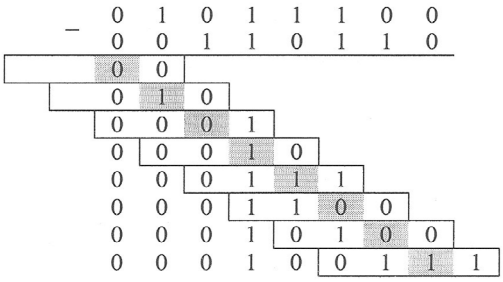

Рис. 5. Приклад побітового віднімання кодів золотої пропорції зі зменшеною розрядністю

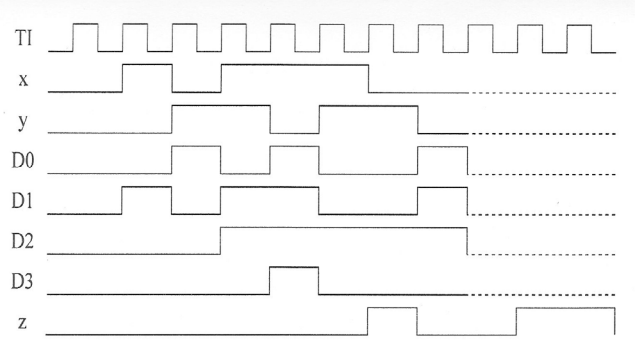

Рис. 6. Часові діаграми роботи пристрою побітового віднімання кодів золотої пропорції зі зменшеною розрядністю

Висновки

Описано результати, отримані в процесі розробки пристрою побітового віднімання послідовних кодів золотої пропорції.

1. Вперше розроблено структурну схему пристрою побітового віднімання довільних кодів золотої пропорції на основі згортки і розгортки з урахуванням знаку проміжного результату.

2. Вперше проведено програмне моделювання варіантів побудови віднімача, що підтвердило пра-

вильність розроблених схем.

СПИСОК ЛІТЕРАТУРИ

1. Avizenis A. Binary-compatible signet-digit arithmetic. IN: AFIPS Conf Proc. — Vol. 26 — P 1. — 1964. — P. 663.

2. Самофалов К. Г., Луцкий Г. М. Основы построения конвейерных ЭВМ. — Киев: Вища школа, 1981. — 234 с.

3. Каляев А. В. Многопроцессорные системы с программируемой архитектурой. — М.: Радио и связь, 1984. — 240 с.

4. Sringhard Rajagopal, Joseph R. Cavallaro. Truncated Online Arithmetic with Applications to Systems. IEEE Transactions on Computers. — October 2006 (Vol. 55, No 10). — P. 240—252.

5. Стахов А. П. Коды золотой пропорции. — М.: Радио и связь, 1983. — 152 с., ил. — (Кибернетика).

6. Системи числення з адитивними та мультиплікативними співвідношеннями між вагами розрядів / О. Д. Азаров, О. І. Черняк, П. О. Черняк // Вісник Вінницького політехнічного інституту. — 2001. — № 1. — С. 58—64.

7. Визначення довжини перенесення при додаванні у системах числення з адитивними та мультиплікативними співвідношеннями між вагами розрядів / О. Д. Азаров, О. І. Черняк // Наукові праці Донецького національного університету. Серія: «Обчислювальна техніка та автоматика». Випуск 74 — Донецьк: ДонНТН, 2004. — С. 401—408.

8. Методи конвеєрної порозрядної обробки послідовних кодів золотої пропорції / О. І. Черняк, О. Д. Азаров // Вісник Вінницького політехнічного інституту. — 1996. — № 1. — С. 14—17.

9. Алгоритмічні основи побітової обробки кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. — 2006. — № 6. — С. 28—43.

Рекомендована кафедрою обчислювальної техніки

Надійшла до редакції 19.02.08
Рекомендована до друку 26.08.08

Азаров Олексій Дмитрович — завідувач кафедри, ***Черняк Олександр Іванович*** — старший викладач.
Кафедра обчислювальної техніки, Вінницький національний технічний університет, Вінниця