

П. І. Кравець, канд. техн. наук, доц.;

В. А. Жеребко;

В. М. Шимкович

## МЕТОДИКА АПАРАТНО-ПРОГРАМНОЇ РЕАЛІЗАЦІЇ ОДНОНЕЙРОННОГО НЕЙРОМЕРЕЖЕВОГО ПІД-РЕГУЛЯТОРА НА FPGA

Запропоновано методику апаратно-програмної реалізації нейромережевого ПІД-регулятора на FPGA-кристал, наведено покроковий алгоритм синтезу такого регулятора, розглянуто конкретний приклад синтезу системи управління з використанням одонеуронного ПІД-регулятора, та виконано розрахунки оптимальності розрядної сітки даних, що забезпечують правильність функціонування ПІД-регулятора.

Впродовж декількох останніх десятиліть ПІД-регулятори стали і залишаються найпоширенішим типом регуляторів в системах управління. Чинниками, що зумовили широке розповсюдження останніх, стали простота їх структури, висока надійність і ефективність в управлінні різноманітними процесами. Побудовані за класичною теорією управління ПІД-регулятори прості для розуміння і налагодження, а їх використання можливе без знання точної моделі об'єкта.

Однак, для об'єктів, що змінюють свої параметри в процесі функціонування, нелінійних об'єктів та у випадку дії збурень, що виникають в різних точках замкнутого контуру керування, якісні показники процесу ПІД-регулювання змінюються і не завжди відповідають поставленим вимогам. В цих випадках необхідно змінювати параметри налагодження регулятора, тобто робити регулятор адаптивним. Однак проблеми побудови адаптивних систем управління загальновідомі: складність алгоритмів, необхідність побудови моделі об'єкта, обмеженість на динаміку об'єкта та інше [1].

В той самий час відомо, що системи керування з нейромережевими регуляторами є менш чутливими до змін параметрів об'єкта та дії збурень і можуть знаходити кращі рішення в умовах різних видів невизначеності [2].

На теперішній час основним методом реалізації нейромережових систем управління [1, 2] є програмний, з використанням комп'ютерної техніки чи спеціалізованих контролерів, побудованих на її основі, що значно звужує коло практичних реалізацій систем управління через значну вартість таких регуляторів і робить їх практично недоцільними та недоступними для використання в простих системах управління, крім того комп'ютерні нейромережеві регулятори мають обмежену швидкодію та потребують значних затрат часу на навчання.

Широке практичне використання нейромережових регуляторів можливе в разі використання простих та дешевих нейрообчислювачів. Такі можливості з'являються при апаратно-програмній реалізації нейромережових структур, побудованих на програмованих логічних інтегрованих структурах (ПЛІС — FPGA) [3, 4]. Такі обчислювачі мають переваги над програмною реалізацією нейромережових структур за вартістю та швидкодією (за рахунок розпаралелення процедур обчислень і навчання). Однак на цей час методик синтезу та реалізації таких регуляторів не розроблено, не вивчено також їх можливостей. Ці проблеми розглядаються в викладеному нижче матеріалі.

У загальному вигляді ПІД-регулятор має структуру, що показана на рис. 1.

В аналоговій (неперервній) формі — ПІД-регулятор може бути описаний формулою

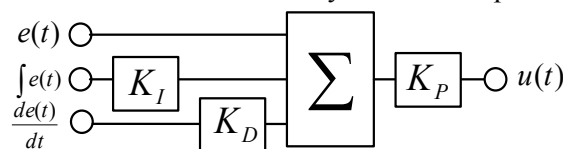


Рис. 1. Структура ПІД-регулятора

$$u(t) = K_P \left( e(t) + K_I \int_0^t e(t) dt + K_D \frac{de}{dt} \right). \quad (1)$$

Дискретний варіант ПІД-регулятора може бути поданий виразом

$$u(k) = u(k-1) + K_p \left[ (e(k) - e(k-1)) + K_I e(k) + K_D (e(k) - 2e(k-1) + e(k-2)) \right], \quad (2)$$

де  $u(k)$  — вихідний сигнал регулятора;  $e(k)$  — помилка регулювання;  $k$  — порядковий номер відліку дискретного часу;  $K_p$ ,  $K_I$ ,  $K_D$  — коефіцієнти при пропорційній, інтегральній і диференціальній складовій ПІД-регулятора, відповідно.

Якщо структуру штучного нейрона подати, як показано на рис. 2а, і порівняти її зі структурою ПІД-регулятора (див. рис. 1), то їх структури мають багато спільного.

Якщо прийняти:

$$\left. \begin{aligned} x_1 &= e(k); \\ x_2 &= e(k) - e(k-1); \\ x_3 &= e(k) - 2e(k-1) + e(k-2); \\ w_1 &= 1; \\ w_2 &= K_I; \\ w_3 &= K_D; \\ f &= K_p, \end{aligned} \right\}$$

то, формула (2) набуде такого вигляду:

$$u(k) = u(k-1) + f [x_1 w_1 + x_2 w_2 + x_3 w_3] = u(k-1) + f \left( \sum_{i=1}^3 x_i w_i \right) = u(k-1) + f(S),$$

з чого випливає, що ПІД-регулятор може бути реалізований на одному нейроні, як показано на рис. 2б (однонейронний ПІД-регулятор — ОПІД).

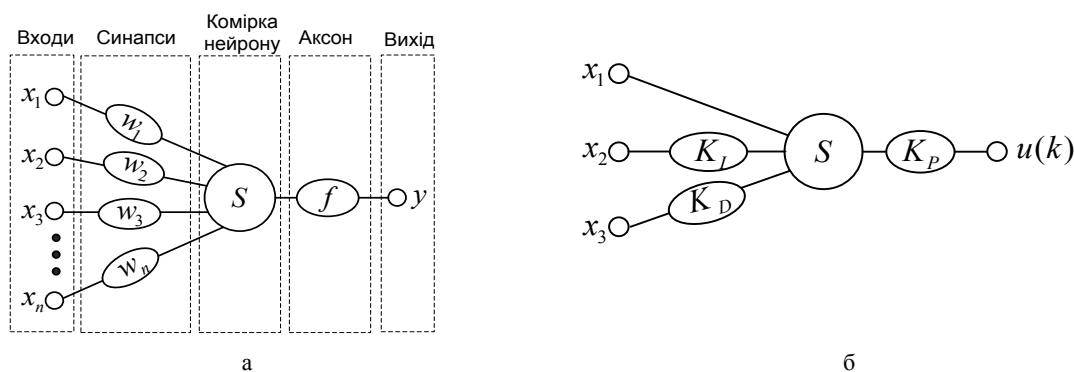


Рис. 2: а — структура штучного нейрона; б — структурна схема ОПІД

Структурна схема системи управління на основі ОПІД буде мати вигляд, показаний на рис. 3.

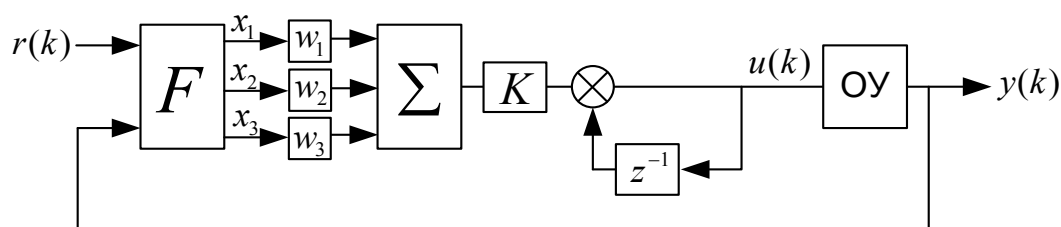


Рис. 3. Структурна схема системи управління з ОПІД :

$r(k)$  — завдання;  $u(k)$  — вихідний сигнал регулятора;  $y(k)$  — вихід системи;  $k$  — порядковий номер відліку дискретного часу;  $K$  — коефіцієнт підсилення нейрона;  $x_1, x_2, x_3$  — входи нейрона;  $F$  — блок, що обчислює значення  $x_1, x_2, x_3$  із формул (3)

$$\left. \begin{aligned} x_1(k) &= e(k) = r(k) - y(k); \\ x_2(k) &= e(k) - e(k-1); \\ x_3(k) &= e(k) - 2e(k-1) + e(k-2). \end{aligned} \right\} \quad (3)$$

Згідно з рис. 3 вихідний сигнал ОПД формується у відповідності до виразу

$$u(k) = u(k-1) + K \sum_{i=1}^3 w_i(k)x_i(k), \quad (4)$$

де  $w_i(k)$  — вагові коефіцієнти відповідного входу  $x_i(k)$ ;  $K$  — коефіцієнт підсилення нейрона. В цьому випадку структуру ОПД можна подати так, як показано на рис. 4.

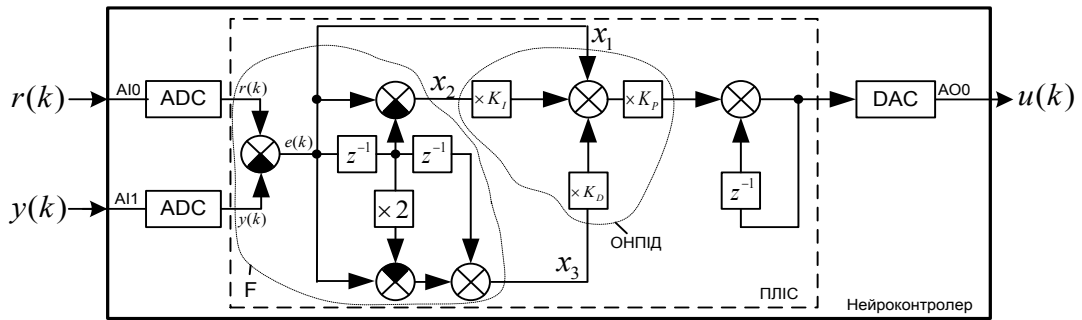


Рис. 4. Структура ОПД

ОПД має два входи  $r(k)$ ,  $y(k)$  і один вихід  $u(k)$ .

Розглянемо методика синтезу системи управління з використанням ОПД. Для реалізації такого ПД-регулятора використовується System Generator [5].

Методика синтезу ОПД виконується за таким алгоритмом.

**Крок 1.** В програмному середовищі MATLAB, використовуючи блоки бібліотеки Xilinx Blocksets, побудувати структуру ОПД, показану на рис. 5.

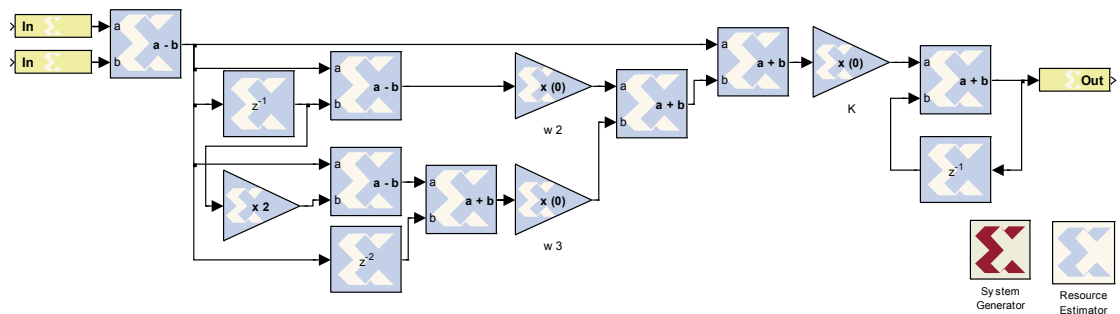


Рис. 5. Модель ОПД в System Generator for DSP

**Крок 2.** Визначити вагові коефіцієнти  $w_2, w_3$  і коефіцієнт підсилення нейрона  $K$ .

**Крок 3.** Визначити необхідну розрядність даних.

**Крок 4.** Оцінити необхідні ресурси для апаратної реалізації, відкривши блок Resource Estimator.

**Крок 5.** Вибрати сімейство і тип ПЛИС за допомогою блоку System Generator.

**Крок 6.** Згенерувати netlist для апаратно-програмної реалізації регулятора на ПЛИС.

Ресурси, що потрібні для реалізації пристрою на ПЛИС, прямо залежать від розрядності даних, тому для забезпечення мінімальної реалізації необхідно вибрати таку розрядність даних, яка б забезпечувала правильність функціонування і одночасно максимально ефективно використовувала ресурси ПЛИС. Виходячи з цього, значення вагових коефіцієнтів  $w_2, w_3$  і коефіцієнта підсилення нейрона  $K$  повинні бути визначені на етапі проектування. Причому, на цьому етапі значення  $w_2, w_3$  і  $K$  можуть бути приблизними і уточнені в процесі експлуатації системи управління.

Одним з можливих шляхів розв'язання задач кроків 2 і 3 є моделювання. В цьому випадку крок

2 можна деталізувати в такому порядку.

**Крок 2.** Визначення вагових коефіцієнтів  $w_2$ ,  $w_3$  і коефіцієнта підсилення нейрона  $K$ .

**Крок 2.1.** Побудувати модель ОПД в середовищі MATLAB (рис. 6, 7).

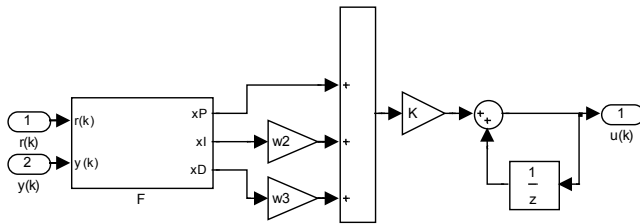


Рис. 6. Модель ОПД в MATLAB

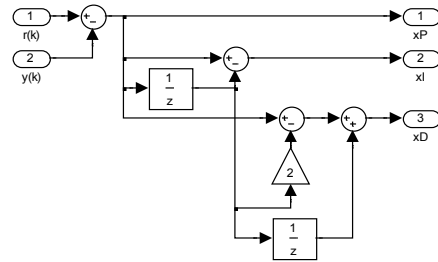


Рис. 7. Модель блоку F

**Крок 2.2.** Побудувати модель об'єкта управління.

$$W_{об} = \frac{2}{2p^2 + 5p + 1}. \quad (5)$$

Будемо модель об'єкта управління (5) в просторі станів. Для цього в командному рядку MATLAB вводимо:

Plant = ss(tf([2],[2 5 1])), A = Plant.a, B = Plant.b, C = Plant.c, D = Plant.d

**Крок 2.3.** Побудувати систему управління з ОПД в середовищі MATLAB (рис. 8).

**Крок 2.4.** Провести налагодження ОПД.

Для цього використовуємо блок «Signal Constraint».

В результаті отримуємо такі значення вагових коефіцієнтів:

$$K = 0,052, \quad w_2 = 99,8, \quad w_3 = 293,9.$$

Крок 3 можна виконувати таким чином.

**Крок 3.** Визначення розрядності даних.

**Крок 3.1.** Побудувати модель, подану на рис. 8.

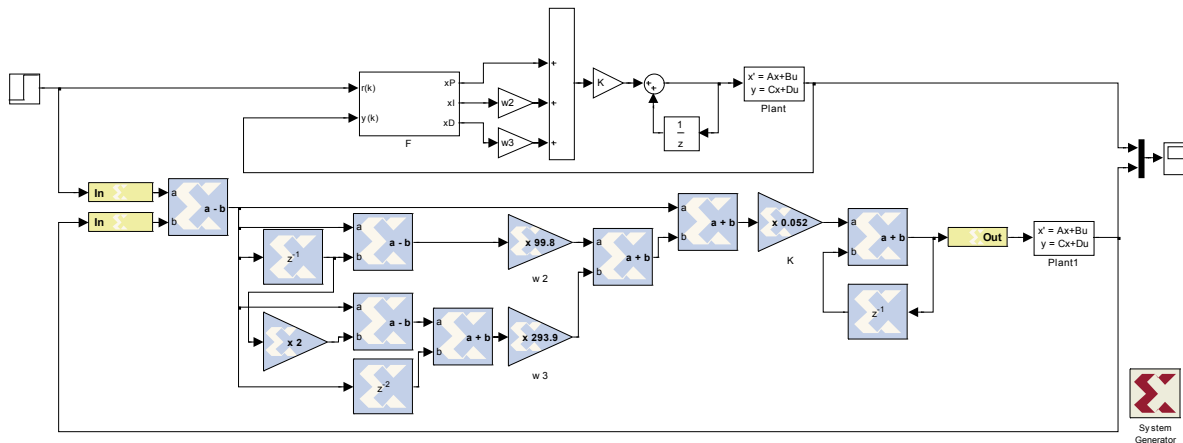


Рис. 8. Модель системи управління з ОПД для визначення розрядності даних

**Крок 3.2.** Задати значення вагових коефіцієнтів  $w_2$ ,  $w_3$  і коефіцієнта підсилення нейрона  $K$ , отриманих на кроці 2.4.

**Крок 3.3.** Вибравши заздалегідь невелику розрядність даних, збільшувати її до моменту забезпечення правильності функціонування ПІД-регулятора у всіх можливих режимах роботи системи і у всьому діапазоні зміни  $r(k)$ ,  $y(k)$  та  $u(k)$ .

**Крок 3.4.** Збільшити визначену на кроці 3.3 розрядність даних на 2—4 біта для гарантування правильності функціонування ПІД-регулятора з уточненням параметрів в процесі експлуатації системи управління.

Для блоків «Gateway In» «w2» «w3» «K» у властивостях «Розмірність даних» визначити у ви-

гляді змінних  $N\_B$  і  $V\_P$ .

У командному рядку MATLAB, змінюючи значення  $N\_B$  і  $V\_P$  в сторону збільшення, спостерігаємо за виходом системи, порівнюючи вихід системи зі звичайним ПІД-регулятором та нейромережевим ОПД (рис. 9).

Заключний 4 крок алгоритму. Оцінка ресурсів мікросхеми FPGA: Slices — 726, FFs — 74, LUTs — 1376, IOBs — 72, Emb. Mults — 0, TBUFs — 0.

Отримані в роботі результати синтезу ОПД свідчать про доцільність використання наведеної методики апаратно-програмної реалізації регулятора на FPGA-кристалі. Алгоритм та запропоновану методику планується використовувати в подальших теоретичних та практичних дослідженнях, спрямованих на розвиток цієї тематики, а саме проектування нейромережевих адаптивних ПІД-регуляторів та ПІД-регулятора з адаптивним підстроюванням.

Синтезований одонеуронний нейромережевий ПІД-регулятор використано для розробки макетного зразка нейроконтролера на базі FPGA-платформи Xilinx Spartan-3.

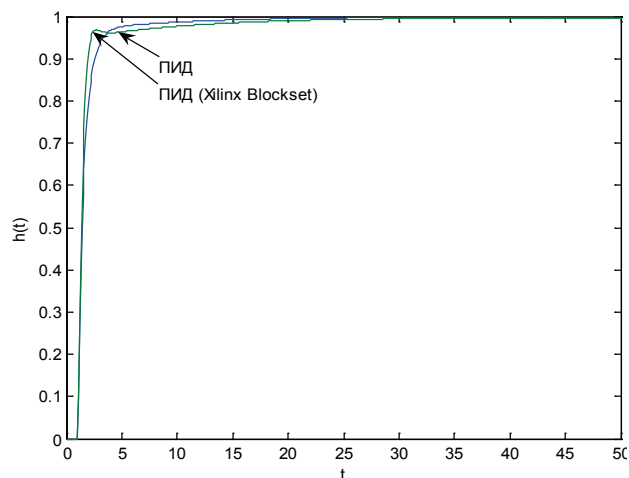


Рис. 9. Вихід системи, якщо  $N\_B = 24$  і  $V\_P = 12$

### СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Хайкин С. Нейронные сети: полный курс : 2-е издание ; [пер. с англ.] / Хайкин С. — М. : Издательский дом «Вильямс», 2006. — 1104 с.
2. Нейроуправление и его приложения. Кн. 2. Сигеру Омату, Марзуки Халид, Рубия Юсоф ; пер. с англ. Н. В. Батина; Под ред. А. И. Галушкина, В. А. Птичкина. — М. : ИПРЖР, 2000. — 272 с.
3. Капитанов В. Д. Построение на ПЛИС фирмы XILINX высокопроизводительных нейронных сетей [Электронный ресурс] / В. Д. Капитанов, В. Г. Мистюков // Материал подготовлен и опубликован фирмой Scan Engineering Telecom (г. Воронеж). — Режим доступа : <http://www.khalus.com.ua/data/components/set/publications.html>.
4. Алюшин М. В. Аппаратная реализация быстродействующих нейросетей на основе программируемой логики фирм AMD, ALTERA, XILINX / М. В. Алюшин // Нейроинформатика. Часть 2. — М. : МИФИ, 1999. — С. 18—24.
5. Xilinx System Generator v2.1 Reference Guide. 2002. — 148 с.

Рекомендована кафедрою комп'ютерних систем управління

Стаття надійшла до редакції 23.02.11

Рекомендована до друку 9.03.11

**Кравець Петро Іванович** — доцент, **Жеребко Валерій Анатолійович** — асистент, **Шимкович Володимир Миколайович** — асистент.

Кафедра автоматики та управління в технічних системах, Національний технічний університет України «Київський політехнічний інститут», Київ