



УКРАЇНА

(19) UA (11) 61610 (13) U
(51) МПК (2011.01)
H03K 5/24 (2006.01)
G05B 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ОБЧИСЛЮВАЛЬНИЙ ПЕРЕТВОРЮВАЧ "РОБОЧИЙ КОД - ЦИФРОВИЙ ЕКВІВАЛЕНТ"

1

2

(21) u201015635

(22) 24.12.2010

(24) 25.07.2011

(46) 25.07.2011, Бюл.№ 14, 2011 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, КАДУК
ОЛЕКСАНДР ВОЛОДИМИРОВИЧ, ДУДНИК ОЛЕ-
КСАНДР ВІКТОРОВИЧ, РОСОЩУК АНАСТАСІЯ
ВОЛОДИМИРІВНА

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ

(57) Обчислювальний перетворювач "робочий код
- цифровий еквівалент", який містить n-розрядний
регістр, двійковий суматор, причому вхід n-

розрядного регістра є входом перетворювача, а
вихід двійкового суматора є виходом перетворю-
вача, який **відрізняється** тим, що введено блок
керування, блок оперативної пам'яті, цифровий
комутатор, причому вхід цифрового комутатора
з'єднано з виходами оперативної пам'яті та блока
керування, вихід цифрового суматора з'єднано з
першим входом двійкового суматора, другий вхід
двійкового суматора з'єднано з виходом n-
розрядного регістра, вихід двійкового суматора
з'єднано з входами n-розрядного регістра, а його
вихід є виходом обчислювального перетворювача
"робочий код - цифровий еквівалент".

Корисна модель належить до обчислювальної
техніки і може бути використана для перетворення
кодів в системі числення з ваговою надлишковістю
у двійкові коди.

Відомо пристрій для перетворення десяткових
чисел у двійкові [Авторське свідоцтво СРСР
№439801, бюл. №30, 1974р.], що містить суматор,
схеми запам'ятовування десяткового числа, роз-
подільвач, причому виходи розподільвача з'єднані
з входами схеми запам'ятовування десяткового
числа, і блок формування двійкових еквівалентів,
виходи якого з'єднані з виходами схеми запам'ято-
вування десяткового числа, а виходи з'єднані з
виходами суматора.

Основним недоліком аналога є значний час
перетворення r-коду Фібоначчі у двійковий код.

За прототип вибрано перетворювач r-кода Фі-
боначчі у двійковий код [Авторське свідоцтво
СРСР №662932, бюл. №18, 1979р.], який містить n-
розрядний регістр, розподільвач імпульсів, двій-
ковий суматор, причому вхід n-розрядного регістра
є входом перетворювача, а вихід двійкового сумато-
ра є виходом перетворювача, і комутаторів гру-
пи розрядів, причому перший інформаційний вихід
кожного комутатора групи розрядів з'єднано з від-
повідним входом двійкового суматора, другий ін-
формаційний вихід кожного комутатора групи роз-
рядів, крім комутатора молодшої групи розрядів,
з'єднано з (r+2) входом сусіднього комутатора

групи більш молодших розрядів, (r+1) входи кож-
ного комутатора групи розрядів з'єднано з відпові-
дними одиничними виходами n-розрядного регістра,
управляючі входи кожного комутатора групи
розрядів з'єднано з відповідними виходами розпо-
ділювача імпульсів.

Недоліком прототипу є вузькі функціональні
можливості, що обмежують галузь застосування
пристрою.

В основу корисної моделі поставлено задачу
створення обчислювального перетворювача "ро-
бочий код - цифровий еквівалент", в якому за ра-
хунок введення нових елементів та зв'язків між
ними, поєднуються процедури самокалібрування
та визначення цифрових еквівалентів поточного
базису, це розширює галузь використання корис-
ної моделі у різноманітних пристроях імпульсної та
обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що в об-
числювальний перетворювач "робочий код - циф-
ровий еквівалент", який містить n-розрядний ре-
гістр, двійковий суматор, причому вхід n-
розрядного регістра є входом перетворювача, а
вихід двійкового суматора є виходом перетворю-
вача, введено блок керування, блок оперативної
пам'яті, цифровий комутатор, причому вхід циф-
рового комутатора з'єднано з виходами опера-
тивної пам'яті та блока керування, вихід цифрового
комутатора з'єднано з першим входом двійкового

(19) UA (11) 61610 (13) U

суматора, другий вхід двійкового суматора з'єднано з виходом n -розрядного регістра, вихід двійкового суматора з'єднано з входами n -розрядного регістра, а його вихід є виходом обчислювального перетворювача "робочий код - цифровий еквівалент".

На кресленні представлено структурну схему обчислювального перетворювача "робочий код - цифровий еквівалент".

Пристрій містить оперативну пам'ять 1, блок керування 2, цифровий комутатор 3, двійковий суматор 4, n -розрядний регістр 5, причому вхід цифрового комутатора 3 з'єднано з виходами блока оперативної пам'яті 1 та блока керування 2, вихід цифрового комутатора 3 з'єднано з першим входом двійкового суматора 4, другий вхід двійкового суматора 4 з'єднано з виходом n -розрядного регістра 5, вихід n -розрядного регістра 5 являється виходом обчислювального перетворювача "робочий код - цифровий еквівалент".

Пристрій працює таким чином.

У процесі основного перетворення врівноваження вхідного аналогового сигналу $A_{ВХ}$ компен-

суючим A_K здійснюється за допомогою схеми порівняння, регістру послідовного наближення і власне цифроаналогового перетворювача з вагою надлишковістю. У РПН за результатами спрацювання СП формується код N_P і послідовно подається у цифровий обчислювальний пристрій.

По команді блока керування 2 за допомогою цифрового комутатора 3 із блока оперативної пам'яті 1 вибираються ваги розрядів $K(Q_i)$, якщо

$a_1 = 1$, то по команді блока керування 2 у двійковий суматор 4 переписується $K(Q_i)$. Нуль у розряді N_P не змінює значення у двійковому суматорі 4. На n -розрядний регістр 5 подається цифровий еквівалент вхідного аналогового сигналу, що знаходиться згідно виразу:

$$K_{ВИХ} = \sum_{i=0}^{n-1} a_i K(Q_i),$$

де $K(Q_i)$ - цифровий еквівалент двійкового коду реальної ваги i -го розряду перетворювача форми інформації.

