



УКРАЇНА

(19) **UA** (11) **97687** (13) **C2**
(51) МПК (2012.01)
Н03М 1/00
Н03М 1/12 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

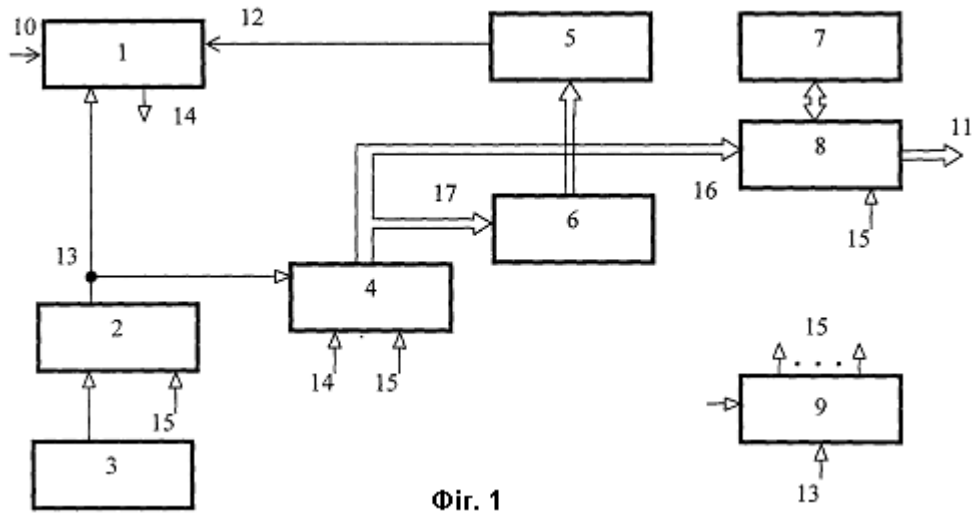
(21) Номер заявки: а 2010 03871	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Шабатура Максим Юрійович (UA), Решетнік Олександр Олександрович (UA)
(22) Дата подання заявки: 06.04.2010	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на винахід: 12.03.2012	(56) Перелік документів, взятих до уваги експертизою: SU 1304172 A1; 15.04.1987 SU 1221750; 30.03.1986 SU 1388985 A1 15.04.1988 SU 1179533 A1; 15.09.1985 RU 2240649 C2; 20.11.2004 WO 2004109929 A2 16.12.2004 US 6621444 B1; 16.09.2003 EP 1811671 A1; 25.07.2007
(41) Публікація відомостей про заяву: 10.10.2011, Бюл.№ 19	
(46) Публікація відомостей про видачу патенту: 12.03.2012, Бюл.№ 5	

(54) СПОСІБ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ І ПРИСТРІЙ ДЛЯ ЙОГО РЕАЛІЗАЦІЇ

(57) Реферат:

Винахід належить до цифрової вимірювальної і обчислювальної техніки і може бути використаний для перетворення аналогових величин в цифрові. Спосіб аналого-цифрового перетворення полягає в тому, що на кожному i -му такті формують компенсуючий сигнал врівноваження і здійснюють порівняння вхідного аналогового сигналу з сигналом врівноваження, по результатам порівняння на всіх тактах здійснюють формування вихідного коду надлишкової позиційної системи числення відрізняється тим, що на кожному такті перетворення незалежно від результату порівняння на попередньому такті разом з основними компенсуючими сигналами використовуються додаткові форсуючі сигнали. При цьому загальний компенсуючий сигнал на i -му такті формується як сума відповідного набору основних еталонних сигналів і i -го форсуючого сигналу за умови, що тривалості тактів врівноваження задають обернено пропорційними вказаним вагам розрядів, так, що кожен наступний такт в α разів триваліший за попередній, де α - відношення між вагами сусідніх розрядів. Технічний результат полягає в досягненні змінної тривалості тактів порозрядного врівноваження і, відповідно, зменшення загального часу врівноваження, що у декілька разів підвищує швидкодію пристрою та розширює галузь його використання.

UA 97687 C2



Фиг. 1

Винахід відноситься до галузі цифрової вимірювальної і обчислювальної техніки і може бути використаний для перетворення аналогових величин в цифрові.

Відомий спосіб аналого-цифрового перетворення (А.с. СРСР №1388985 Н 03 М 1/26, 1986), заснований на порозрядному врівноваженні вхідного аналогового сигналу, який полягає в тому, що на кожному і-му такті формують сигнал врівноваження, рівний сумі основного компенсуючого сигналу врівноваження і першого додаткового компенсуючого сигналу врівноваження такої ж полярності, та виконують порівняння вхідного аналогового сигналу з сигналом врівноваження, за результатом порівняння на всіх тактах виконують формування вихідного коду, по результату порівняння на і-му такті вхідного аналогового сигналу з сигналом врівноваження у випадку перевищення сигналу врівноваження над вхідним аналоговим сигналом виконують на (і+1)-му такті до формування сигналу врівноваження формують другий додатковий компенсуючий сигнал врівноваження протилежної полярності, який при формуванні сигналу врівноваження сумують з основним і першим додатковим компенсуючим сигналами врівноваження даного такту, при цьому величини додаткових компенсуючих сигналів врівноваження визначають за формулою:

$$\Delta\tilde{Q}_{dn-1} = M \left(\sum_0^{n-2} Q_j - Q_{n-1} + Q_0 \right), \text{ де } \alpha - \text{ основа надлишкового вимірювального коду; } Q_i - \text{ вага } i\text{-го}$$

розряду коду; М - масштабний коефіцієнт; $\Delta\tilde{Q}_{dn-1}$ - величина додаткового компенсуючого сигналу врівноваження; n - розряд.

Недоліком способу є низька швидкість аналого-цифрового перетворення через те, що тривалості всіх тактів врівноваження є однаковими, а час перетворення визначається сумою тривалостей усіх тактів.

Відомий аналого-цифровий перетворювач порозрядного врівноваження на основі знакорозрядної надлишкової системи числення (Азаров О.Д. Основи теорії аналого-цифрового перетворення на основі надлишкових позиційних систем числення. Монографія. - Вінниця: УШВЕРСУМ - Вінниця, 2004. - стор. 43), який містить вхідну аналогову та вихідну цифрову шини, шину компенсуючого сигналу врівноваження, інформаційну шину результату порівняння, додатний і від'ємний цифро-аналогові перетворювачі з вагою надлишковістю, суматор аналогових сигналів, схему порівняння, блок керування та логічний блок, вхідну аналогову шину з'єднано з входом схеми порівняння, інший аналоговий вхід схеми порівняння з'єднано шиною компенсуючого сигналу врівноваження з виходом суматора аналогових сигналів, а цифровий вихід схеми порівняння за допомогою шини результату порівняння з'єднано з блоком керування, вихідні цифрові шини блоку керування з'єднано з входами цифро-аналогових перетворювачів з вагою надлишковістю, а також з логічним блоком, аналогові виходи цих цифро-аналогових перетворювачів з'єднано з входами суматора аналогових сигналів, вихід логічного блоку з'єднано з вихідною цифровою шиною.

Недоліком цього пристрою є його низька швидкість через те, що тривалості всіх тактів врівноваження є однаковими, а час перетворення визначається сумою тривалостей усіх тактів.

За прототип обрано спосіб аналого-цифрового перетворення (А. с. №1304172 СССР, Н 03 М 1/26, 1987), заснований на порозрядному врівноваженні вхідного аналогового сигналу, який полягає в тому, що на кожному і-му такті формують компенсуючий сигнал врівноваження, виконують порівняння вхідного аналогового сигналу з компенсуючим сигналом врівноваження і запам'ятовують результат порівняння, одночасно з формуванням компенсуючого сигналу

$$\Delta Q = \frac{\sum_{j=i-1}^n Q_j - Q_i + 1}{2}, \text{ де } n -$$

врівноваження формують додатковий аналоговий сигнал величиною

Q_i - вага і-го розряду, і перед порівнянням з вхідним аналоговим сигналом сумують компенсуючий сигнал врівноваження і додатковий аналоговий сигнали, а порівняння вхідного аналогового сигналу виконують з сигналом результату сумування, при цьому формування компенсуючого сигналу врівноваження виконують на основі надлишкової вимірювальної коду з вагами $Q_i = Q_{i-1}/\alpha$, де $1 \leq \alpha < 2$ - основа надлишкового вимірювального коду.

Недоліком цього способу-прототипу є недостатня швидкість аналого-цифрового перетворення через те, що тривалості всіх тактів врівноваження є однаковими, а час перетворення визначається сумою тривалостей усіх тактів.

Найбільш близьким до пристрою, що з'являється, є аналого-цифровий перетворювач (А. с. СРСР № 1221750, М. кл. НОЗМ1/26, бюл. №12, 1986), який містить вхідну шину, блок порівняння, шину "Запуск", цифро-аналоговий перетворювач, блок сумування, регістр послідовного наближення, блок постійної пам'яті, регістр і лічильник адреси, вихідні шини, шину

тактових імпульсів, причому перший вхід блоку порівняння є вхідною шиною, другий вхід підключений до виходу цифро-аналогового перетворювача, вихід до інформаційного входу регістра послідовного наближення, перший управляючий вхід якого є шиною "Запуск", другий управляючий вхід підключений до шини тактових імпульсів, виходи підключені до відповідних входів цифро-аналогового перетворювача, перший управляючий - вхід лічильника адреси об'єднаний з першим управляючим входом регістра і другим управляючим входом регістра послідовного наближення, другий управляючий вхід об'єднаний з другим управляючим входом регістра і першим управляючим входом регістра послідовного наближення, виходи підключені до відповідних адресних входів блока постійної пам'яті, управляючий вхід якого підключений до виходу блока порівняння, виходи - до відповідних перших входів блока сумування, виходи якого підключені до відповідних інформаційних входів регістра, виходи якого до відповідних других входів блока сумування і є вихідними шинами.

Недоліком цього пристрою є низька швидкість аналого-цифрового перетворення.

В основу винаходу поставлено задачу створення способу аналого-цифрового перетворення, в якому за рахунок того, що реалізовано прогресуючий набір тривалостей тактів аналого-цифрового перетворення порозрядного врівноваження так, що тривалості тактів врівноваження задаються обернено пропорційними відповідним вагам розрядів, підвищується швидкість аналого-цифрового перетворення.

В основу винаходу поставлено задачу створення аналого-цифрового перетворювача, що реалізує запропонований спосіб, в якому за рахунок введення нових блоків та зв'язків між ними досягнуто прогресуючий набір тривалостей тактів врівноваження і, відповідно, зменшення загального часу врівноваження, це у декілька разів підвищує швидкість пристрою та розширює галузь його використання.

Поставлена задача досягається тим, що в способі аналого-цифрового перетворення, який полягає в тому, що на кожному i -му такті формують компенсуючий сигнал врівноваження, здійснюють порівняння вхідного аналогового сигналу з сигналом врівноваження і за результатами порівняння на всіх тактах здійснюють формування вихідного коду надлишкової позиційної системи числення, причому на кожному такті перетворення незалежно від результату порівняння на попередньому такті разом з основними компенсуючими сигналами врівноваження використовуються додаткові форсуючі сигнали. При цьому загальний компенсуючий сигнал врівноваження на i -му такті формують як суму відповідного набору основних еталонних сигналів і i -го форсуючого сигналу за умови, що тривалості тактів врівноваження задають обернено пропорційними вказаним вагам розрядів, так, що кожен наступний такт в α разів триваліший за попередній, де α - відношення між вагами сусідніх розрядів.

Поставлена задача досягається тим, що у аналого-цифровий перетворювач, що реалізує запропонований спосіб, який містить вхідну шину, блок порівняння, шину "Запуск", цифро-аналоговий перетворювач, блок сумування, регістр послідовного наближення, блок постійної пам'яті, регістр і лічильник адреси, вихідні шини, шину тактових імпульсів, причому перший вхід блоку порівняння є вхідною шиною, другий вхід підключений до виходу цифро-аналогового перетворювача, вихід до інформаційного входу - регістра послідовного наближення, перший управляючий вхід якого є шиною "Запуск", другий управляючий вхід підключений до шини тактових імпульсів, виходи підключені до відповідних входів цифро-аналогового перетворювача, перший управляючий вхід лічильника адреси об'єднаний з першим управляючим входом регістра і другим управляючим входом регістра послідовного наближення, другий управляючий вхід об'єднаний з другим управляючим входом регістра і першим управляючим входом регістра послідовного наближення, виходи підключені до відповідних адресних входів блока постійної пам'яті, управляючий вхід якого підключений до виходу блока порівняння, виходи - до відповідних перших входів блока сумування, виходи якого підключені до відповідних інформаційних входів регістра, виходи якого до відповідних других входів блока сумування і є вихідними шинами, введено схему порівняння з регульованою чутливістю, генератор лічильних імпульсів, генератор форсуючих сигналів, генератор тактів врівноваження прогресуючої тривалості та цифровий обчислювальний пристрій, цифрову керуючу шину тактових імпульсів, причому вхідна аналогова шина з'єднана з входом схеми порівняння з регульованою чутливістю, керуючий цифровий вхід схеми порівняння з регульованою чутливістю з'єднано з керуючою шиною тактових імпульсів, а цифровий вихід з'єднано з інформаційною шиною результату порівняння, вихід генератора лічильних імпульсів з'єднано з лічильним входом генератором тактів врівноваження прогресуючої тривалості, інший керуючий вхід генератора тактів врівноваження прогресуючої тривалості з'єднано шиною керуючих сигналів блоку керування з блоком керування, вихід генератора тактів врівноваження прогресуючої тривалості з'єднано з входом регістра послідовного наближення, регістр послідовного наближення має на

вході інформаційну шину результатів порівняння та шину керуючих сигналів блоку керування, цифрові виходи регістра послідовного наближення з'єднано цифровою шиною з генератором форсуючих сигналів та цифровою шиною з цифровим обчислювальним пристроєм, вихід генератора форсуючих сигналів з'єднаний цифровою шиною з цифро-аналоговим перетворювачем який з'єднаний через шину компенсуючого сигналу врівноваження зі схемою порівняння з регульованою чутливістю, цифровий обчислювальний пристрій з'єднаний з блоком пам'яті цифровою шиною, має на вході шину керуючого сигналу блоку керування," а на виході вихідну цифрою шиною. Крім того, генератор тактів врівноваження прогресуючої тривалості містить лічильний вхід, який з'єднано з входом блоку елементів І, а також з лічильним входом лічильника цифрового еквіваленту тривалості тактових імпульсів, інший вхід блоку елементів І з'єднано з виходом цифрової схеми порівняння кодів, вихід блоку елементів І з'єднано з входом блоку елементів АБО а також з лічильним входом лічильника номеру такту, керуючий вхід з'єднано з іншим входом блоку елементів АБО, а також з входом "Скид" лічильника номеру такту, який з'єднано з керуючим входом генератора тактів врівноваження прогресуючої тривалості, "вихід блоку елементів АБО з'єднано з входом "Скид" лічильника цифрового еквіваленту тривалості тактових імпульсів, вихідну шину лічильника цифрового еквіваленту тривалості тактових імпульсів з'єднано з входом цифрової схеми порівняння кодів, вихідну шину лічильника номеру такту з'єднано з адресним входом постійного запам'ятовуючого пристрою, вихідну шину постійного запам'ятовуючого пристрою з'єднано з входом цифрової схеми порівняння кодів, а її вихід з'єднано з входом блоку елементів І, а також з вихідною шиною генератора тактів врівноваження прогресуючої тривалості.

На фіг. 1 представлено структурну схему аналого-цифрового перетворювача, що реалізує запропонований спосіб, на фіг. 2 представлено структурну схему генератора тактів врівноваження прогресуючої тривалості, на фіг. 3 представлено часову діаграму роботи генератора тактів врівноваження прогресуючої тривалості, на фіг. 4 представлено часові діаграми врівноваження вхідного аналогового сигналу на запропонованому пристрої.

Пристрій містить вхідну аналогову шину 10, з'єднану з входом схеми порівняння з регульованою чутливістю 1, керуючий цифровий вхід схеми порівняння з регульованою чутливістю 1 з'єднано з керуючою шиною тактових імпульсів 13, а цифровий вихід з'єднано з інформаційною шиною результату порівняння 14, вихід генератора лічильних імпульсів 3 з'єднано з лічильним входом генератора тактів врівноваження прогресуючої тривалості 2, інший керуючий вхід генератора тактів врівноваження прогресуючої тривалості 2 з'єднано шиною керуючих сигналів блоку керування 15 з блоком керування 9, вихід генератора тактів врівноваження прогресуючої тривалості 2 з'єднано з входом регістра послідовного наближення 4, регістр послідовного наближення 4 має на вході інформаційну шину результатів порівняння 14 та шину керуючих сигналів 15 блоку керування 9, цифрові виходи регістра послідовного наближення 4 з'єднано цифровою шиною 17 з генератором форсуючих сигналів 6 та цифровою шиною 16 з цифровим обчислювальним пристроєм 8, вихід генератора форсуючих сигналів 6 з'єднаний цифровою шиною з цифро-аналоговим перетворювачем 5, який з'єднаний через шину компенсуючого сигналу врівноваження 12 зі схемою порівняння з регульованою чутливістю 1, цифровий обчислювальний пристрій 8 з'єднаний з блоком пам'яті 7 цифровою шиною, має на вході шину керуючого сигналу 15 блоку керування 9, а на виході вихідну цифрою шиною 11.

Генератор тактів врівноваження прогресуючої тривалості 2 містить лічильний вхід 24, який з'єднано з входом блоку елементів І 18, а також з лічильним входом лічильника цифрового еквіваленту тривалості тактових імпульсів 20, інший вхід блоку елементів І 18 з'єднано з виходом цифрової схеми порівняння кодів 22, вихід блоку елементів І 18 з'єднано з входом блоку елементів АБО 19 а також з лічильним входом лічильника номеру такту 21, керуючий вхід 25 з'єднано з іншим входом блоку елементів АБО 19, а також з входом "Скид" лічильника номеру такту 21, який з'єднано з керуючим входом 25 генератора тактів врівноваження прогресуючої тривалості, вихід блоку елементів АБО 19 з'єднано з входом "Скид" лічильника цифрового еквіваленту тривалості тактових імпульсів 20, вихідну шину лічильника цифрового еквіваленту тривалості тактових імпульсів 20 з'єднано з входом цифрової схеми порівняння кодів 22, вихідну шину лічильника номеру такту 21 з'єднано з адресним входом постійного запам'ятовуючого пристрою 23, вихідну шину постійного запам'ятовуючого пристрою 23 з'єднано з входом цифрової схеми порівняння кодів 22, а її вихід з'єднано з входом блоку елементів І 18 а також з вихідною шиною 26 генератора тактів врівноваження прогресуючої тривалості 2.

Спосіб аналого-цифрового перетворення реалізується таким чином:

вхідний аналоговий сигнал порозрядно врівноважують компенсуючим сигналом врівноваження з отриманням результату у вигляді знакорозрядного цифрового коду, причому

процедура врівноваження полягає в тому, що на кожному наступному такті врівноваження залежно від результату порівняння на попередньому такті послідовно формують компенсуючий сигнал врівноваження як суму еталонних аналогових величин, значення яких пропорційні вагам розрядів надлишкової позиційної системи числення з розрядними коефіцієнтами [1; 0] за умови, що тривалості тактів врівноваження задають обернено пропорційними вказаним вагам розрядів, так, що кожен наступний такт в α разів триваліший за попередній, де α - відношення між вагами сусідніх розрядів.

Коефіцієнт підвищення швидкодії $K_{шв}$ запропонованого способу дорівнює

$$K_{шв} = \frac{T_{пер пр}}{T_{пер}} = \frac{t_{T0} \cdot n}{t_{T0} \cdot \frac{1-\alpha^{-n}}{1-\alpha^{-1}}} \approx \frac{t_{T0} \cdot n}{t_{T0} \cdot \frac{\alpha}{\alpha-1}} = \frac{n \cdot (\alpha-1)}{\alpha}$$

Таблиця значень коефіцієнта підвищення швидкодії для кількості тактів $n = 16$ та різних значень співвідношення між вагами сусідніх розрядів α :

α		1,	1,	1,	1,61	1,	1,	
		2	9	8	7	8	5	4
$K_{шв}$		8	7,	7,	6,	6,1	5,	4,
			5	1	5		3	5

Запропонований метод розрахунку підвищення швидкодії аналого-цифрового перетворення прийнятний як для надлишкових позиційних систем числення, де співвідношення між вагами сусідніх розрядів є постійним, так і для інших надлишкових систем числення, наприклад для двійкового ряду з дублюванням, в якому ваги розрядів є наступними: 1, 1, 2, 2, 4, 4, 8, 8, ... та $1, \sqrt{2}, 2, 2\sqrt{2}, 4, 4\sqrt{2}, \dots$ та 1, 1.5, 2, 3, 4, 6, 8... . У випадку непозиційних надлишкових систем співвідношення між тривалостями сусідніх тактів обирається рівним співвідношенню величин відповідних сусідніх розрядів.

Пристрій працює таким чином: на початку чергового аналого-цифрового перетворення вхідного аналогового сигналу регістр послідовного наближення 4 цифровий обчислювальний пристрій 8, а також генератор тактів врівноваження прогресуючої тривалості 2, лічильник цифрового еквіваленту тривалості тактових імпульсів 20 та лічильника номеру такту 21 встановлюють в початковий (нульовий) стан, сигналом від блоку керування 9. Вхідний аналоговий сигнал подають від зовнішнього давача через вхідну аналогову шину 10 (далі - $A_{вх}$) на вхід схеми порівняння з регульованою чутливістю 1. Компенсуючий сигнал врівноваження подають на аналоговий вхід схеми порівняння з регульованою чутливістю 1 через шину компенсуючого сигналу врівноваження A_k 12 (далі - A_k).

В кінці кожного такту здійснюють порівняння вхідного аналогового сигналу з компенсуючим сигналом врівноваження A_k , який є аналоговим еквівалентом нульових цифрових кодових комбінацій в регістрі послідовного наближення, причому, якщо $A_{вх} > A_k$, то з схеми порівняння з регульованою чутливістю 1 на інформаційну шину результату порівняння 14 (далі - $Y_{сп}$) з виходу схеми порівняння з регульованою чутливістю 1 буде подана логічна "1", інакше - логічний "0". Шина $Y_{сп}$ 14 з'єднана з регістром послідовного наближення. В результаті цього першого порівняння отримують старший розряд кодової комбінації.

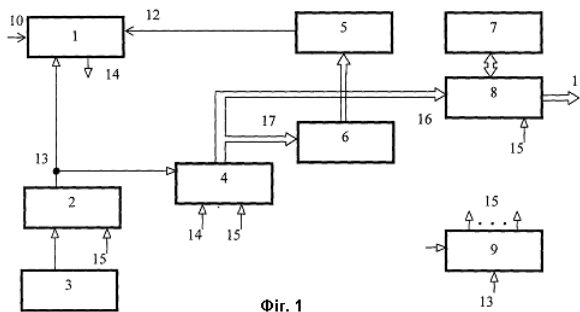
На кожному такті зміна кодової комбінації в регістрі послідовного наближення та в генераторі форсованих сигналів 6 на початку перетворення або в кінці попереднього такту призводить до зміни аналогового сигналу на виході цифро-аналогового перетворювача 5. Для отримання наступного розряду коду в кінці кожного такту проводиться порівняння вхідного аналогового сигналу з новим рівнем компенсуючого сигналу врівноваження. Якщо $A_{вх} > A_k$, то через інформаційну шину результату порівняння $Y_{сп}$ 14 з виходу схеми порівняння з регульованою чутливістю 1 на вхід регістра послідовного наближення буде подана логічна "1", інакше - логічний "0". Відбувається перехід до наступного такту, і так далі, поки не будуть отримані всі розряди кодової комбінації в регістрі послідовного наближення.

Результат врівноваження, представлений у вигляді знакорозрядного коду на основі надлишкової позиційної системи числення з розрядними коефіцієнтами [1;0] перетворюють у двійковий код за допомогою цифрового обчислювального пристрою 8. По закінченні врівноваження двійковий код з цифрового обчислювального пристрою 8 подається на вихідну цифрову шину $K_{вих}$ 11. Двійкові еквіваленти надлишкових ваг розрядів цифро-аналогових перетворювачів зберігаються у блоці пам'яті 7.

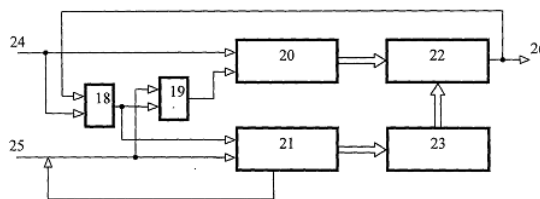
ФОРМУЛА ВИНАХОДУ

- 5 1. Спосіб аналого-цифрового перетворення, який полягає в тому, що на кожному i -му такті формують загальний компенсуючий сигнал врівноваження і здійснюють порівняння вхідного аналогового сигналу з сигналом врівноваження, за результатами порівняння на всіх тактах здійснюють формування вихідного коду надлишкової позиційної системи числення, який **відрізняється** тим, що на кожному такті перетворення незалежно від результату порівняння на
- 10 попередньому такті разом з основними компенсуючими сигналами врівноваження використовують додаткові форсуючі сигнали, при цьому загальний компенсуючий сигнал врівноваження на i -му такті формують як суму відповідного набору основних еталонних сигналів і i -го форсуючого сигналу за умови, що тривалості тактів врівноваження задають обернено пропорційними вказаним вагам розрядів так, що кожен наступний такт в α разів триваліший за
- 15 попередній, де α - відношення між вагами сусідніх розрядів.
2. Аналого-цифровий перетворювач, який містить вхідну шину, блок порівняння, шину "Запуск", цифро-аналоговий перетворювач, блок сумування, регістр послідовного наближення, блок постійної пам'яті, регістр і лічильник адреси, вихідні шини, шину тактових імпульсів, причому перший вхід блока порівняння є вхідною шиною, другий вхід підключений до виходу цифро-
- 20 аналогового перетворювача, вихід – до інформаційного входу регістра послідовного наближення, перший керуючий вхід якого є шиною "Запуск", другий керуючий вхід підключений до шини тактових імпульсів, виходи підключені до відповідних входів цифро-аналогового перетворювача, перший керуючий вхід лічильника адреси об'єднаний з першим керуючим входом регістра і другим керуючим входом регістра послідовного наближення, другий керуючий
- 25 вхід об'єднаний з другим керуючим входом регістра і першим керуючим входом регістра послідовного наближення, виходи підключені до відповідних адресних входів блока постійної пам'яті, керуючий вхід якого підключений до виходу блока порівняння, виходи - до відповідних перших входів блока сумування, виходи якого підключені до відповідних інформаційних входів регістра, виходи якого до відповідних других входів блока сумування і є вихідними шинами, який **відрізняється** тим, що у нього введено схему порівняння з регульованою чутливістю, генератор лічильних імпульсів, генератор форсуючих сигналів, генератор тактів врівноваження прогресуючої тривалості та цифровий обчислювальний пристрій, цифрову керуючу шину тактових імпульсів, причому вхідна аналогова шина з'єднана з входом схеми порівняння з
- 35 регульованою чутливістю, керуючий цифровий вхід схеми порівняння з регульованою чутливістю з'єднано з керуючою шиною тактових імпульсів, а цифровий вихід з'єднано з інформаційною шиною результату порівняння, вихід генератора лічильних імпульсів з'єднано з лічильним входом генератором тактів врівноваження прогресуючої тривалості, інший керуючий вхід генератора тактів врівноваження прогресуючої тривалості з'єднано шиною керуючих сигналів блока керування з блоком керування, вихід генератора тактів врівноваження
- 40 прогресуючої тривалості з'єднано з входом регістра послідовного наближення, регістр послідовного наближення має на вході інформаційну шину результатів порівняння та шину керуючих сигналів блока керування, цифрові виходи регістра послідовного наближення з'єднано цифровою шиною з генератором форсуючих сигналів та цифровою шиною з цифровим обчислювальним пристроєм, вихід генератора форсуючих сигналів з'єднаний цифровою шиною
- 45 з цифро-аналоговим перетворювачем який з'єднаний через шину компенсуючого сигналу врівноваження зі схемою порівняння з регульованою чутливістю, цифровий обчислювальний пристрій з'єднаний з блоком пам'яті цифровою шиною, має на вході шину керуючого сигналу блока керування, а на виході вихідну цифрову шину.
3. Пристрій за п. 2, який **відрізняється** тим, що генератор тактів врівноваження прогресуючої
- 50 тривалості містить лічильний вхід, який з'єднано з входом блока елементів I, а також з лічильним входом лічильника цифрового еквівалента тривалості тактових імпульсів, інший вхід блока елементів I з'єднано з виходом цифрової схеми порівняння кодів, вихід блока елементів I з'єднано з входом блока елементів АБО а також з лічильним входом лічильника номера такту, керуючий вхід з'єднано з іншим входом блока елементів АБО, а також з входом "Скид"
- 55 лічильника номера такту, який з'єднано з керуючим входом генератора тактів врівноваження прогресуючої тривалості, вихід блока елементів АБО з'єднано з входом "Скид" лічильника цифрового еквівалента тривалості тактових імпульсів, вихідну шину лічильника цифрового еквівалента тривалості тактових імпульсів з'єднано з входом цифрової схеми порівняння кодів, вихідну шину лічильника номера такту з'єднано з адресним входом постійного запам'ятовуючого
- 60 пристрою, вихідну шину постійного запам'ятовуючого пристрою з'єднано з входом цифрової

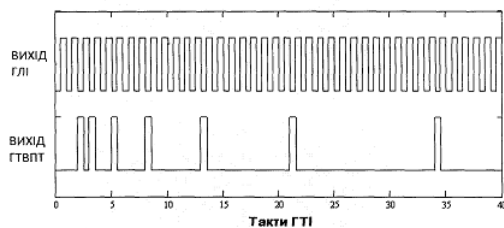
схеми порівняння кодів, а її вихід з'єднано з входом блока елементів І, а також з вихідною шиною генератора тактів врівноваження прогресуючої тривалості.



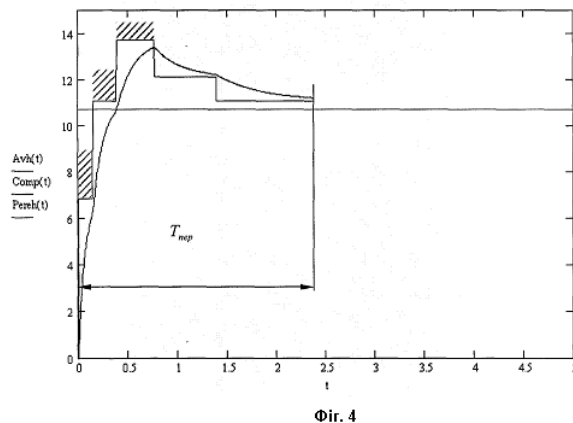
Фіг. 1



Фіг. 2



Фіг. 3



Фіг. 4

Комп'ютерна верстка Л. Купенко

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601