



УКРАЇНА

(19) UA (11) 55701 (13) U
(51) МПК (2009)
H03G 3/20

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ

1

2

(21) u201006268

(22) 25.05.2010

(24) 27.12.2010

(46) 27.12.2010, Бюл.№ 24, 2010 р.

(72) ЗАХАРЧЕНКО СЕРГІЙ МИХАЙЛОВИЧ, БОЙКО ОЛЕКСАНДР ВОЛОДИМИРОВИЧ, КРУПЕЛЬНИЦЬКИЙ ЛЕОНІД ВІТАЛІЙОВИЧ

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Пристрій аналого-цифрового перетворення, який містить вхідну аналогову шину, шину опорної напруги, аналоговий комутатор, блок вибірки-зберігання, схему множення на основу системи числення, схему порівняння, суматор, схему множення, блок керування, вихідну цифрову шину, шину "Пуск", шину "Кінець перетворення", причому вхідну аналогову шину з'єднано з першим інформаційним входом аналогового комутатора, вихід якого з'єднано з входом блока вибірки-зберігання, вихід якого приєднано до входу схеми множення на основу системи числення, вихід схеми множення на основу системи числення приєднано до першого входу схеми порівняння і першого входу суматора, другий вхід схеми порівняння з'єднано з шиною опорної напруги, вихід схеми порівняння з'єднано з вихідною цифровою схемою і першим входом схеми множення, другий вхід якої з'єднано

з шиною опорної напруги, вихід схеми множення з'єднано з другим входом суматора, вихід суматора з'єднано з другим інформаційним входом аналогового комутатора, який відрізняється тим, що введено блок калібрувальних сигналів, калібрувальний малорозрядний аналого-цифровий перетворювач, оперативно-запам'ятовуючий пристрій і цифровий обчислювальний пристрій, причому блок калібрувальних сигналів з'єднано з третім входом аналогового комутатора, четвертий вхід якого з'єднано з шиною опорної напруги, його керуючий вхід підключено до першого виходу блока керування, який є шиною "Пуск", вихід аналогового комутатора з'єднано з входом пристрою вибірки-зберігання, вихід якого з'єднано з входом калібрувального малорозрядного аналого-цифрового перетворювача, вихід схеми порівняння з'єднано з першим входом цифрового обчислювального пристрою, інформаційний вихід калібрувального малорозрядного аналого-цифрового перетворювача з'єднано з відповідним входом оперативно-запам'ятовуючого пристрою, вихід якого приєднано до другого інформаційного входу цифрового обчислювального блока, третій вхід якого є керуючим, і з'єднаний з другим виходом блока керування, і є шиною "Кінець перетворення".

Корисна модель відноситься до галузі цифрової вимірювальної і обчислювальної техніки і може бути використана для перетворення аналогових величин в цифрові.

Відомий аналого-цифровий перетворювач (EUROPEAN PATENT APPLICATION № 84104767.3, Int. Cl. H03G3/20, Date of filing 27.04.1984), який містить вхідну аналогову шину, шину опорної напруги, аналоговий комутатор, блок вибірки-зберігання, схему множення на два, схему порівняння, суматор, схему множення, блок керування, вихідну цифрову шину, шину "Пуск", шину "Кінець перетворення", причому перший інформаційний вхід аналогового комутатора є аналоговою вхідною шиною, другий інформаційний вхід приєднано до виходу суматора, на перший інформаційних вхід якого подають сигнал із схеми множення на два, а на другий інформаційний вхід подають

сигнал із схеми множення, перший вхід якої з'єднано з виходом схеми порівняння, а другий з шиною опорної напруги, керуючий вхід аналогового комутатора підключений до першого виходу блоку керування, перший і другий виходи якого являються відповідно шинами "Пуск" і "Кінець перетворення", другий вихід блоку керування підключено до керуючого входу схеми порівняння, другий і третій входи схеми порівняння підключено відповідно до шини опорної напруги і першого виходу схеми множення на два, на вхід схеми множення на два подається сигнал з виходу блоку вибірки-зберігання, відповідно на вхід якого подається сигнал з виходу аналогового комутатора.

Недоліком цього пристрою є низька параметрична надійність перетворення.

Найбільш близьким до пристрою, що заявляється, є аналого-цифровий перетворювач (IEEE

UA (19) 55701 (11) (13) U

WA 18.1, A 12b Digital-Background-Calibrated Algorithmic ADC wit -90bD THD, 0-7803-5129-0/99, 1999), який містить вхідну аналогову шину, шину опорної напруги, аналоговий комутатор, блок вибірки-зберігання, схему множення на два, схему порівняння, суматор, схему множення, блок керування, вихідну цифрову шину, шину "Пуск", шину "Кінець перетворення" і блок калібрування, причому перший інформаційний вхід аналогового комутатора є аналоговою вхідною шиною, другий інформаційний вхід приєднано до виходу суматора, перший вхід якого з'єднано з виходом схеми множення на два, а другий приєднано до виходу схеми множення, перший вхід якої з'єднано з виходом схеми порівняння, а другий з шиною опорної напруги, керуючий вхід аналогового комутатора підключений до першого виходу блоку керування, перший і другий виходи якого являються відповідно шинами "Пуск" і "Кінець перетворення", другий вихід блоку керування підключено до керуючого входу схеми порівняння, другий і третій входи схеми порівняння підключено відповідно до шини опорної напруги і першого виходу схеми множення на, вихід схеми порівняння під'єднано до виходу блоку калібрування, на вхід схеми множення на два подається сигнал з виходу блоку вибірки-зберігання, відповідно на вхід якого подається сигнал з виходу аналогового комутатора.

Недоліком цього пристрою є низька параметрична надійність перетворення, що обмежує галузь запропонованої моделі.

В основу корисної моделі поставлено задачу створення такого пристрою аналого-цифрового перетворення, в якому за рахунок введення нових блоків і зв'язків між ними досягається підвищення параметричної надійності перетворення, що розширює галузь використання пристрою.

Поставлена задача досягається тим, що у пристрій аналого-цифрового перетворення, який містить вхідну аналогову шину, шину опорної напруги, аналоговий комутатор, блок вибірки-зберігання, схему множення на основу системи числення, схему порівняння, суматор, схему множення, блок керування, вихідну цифрову шину, шину "Пуск", шину "Кінець перетворення", причому вхідну аналогову шину з'єднано з першим інформаційним входом аналогового комутатора, вихід якого з'єднано з входом блоку вибірки-зберігання, вихід якого приєднано до входу схеми множення на основу системи числення, вихід схеми множення на основу системи числення приєднано до першого входу схеми порівняння і першим входом суматора, другий вхід схеми порівняння з'єднано з шиною опорної напруги, вихід схеми порівняння з'єднано з вихідною цифровою схемою і першим входом схеми множення, другий вхід якого з'єднано з шиною опорної напруги, вихід схеми множення з'єднано з другим входом суматора, вихід суматора з'єднано з другим інформаційним входом аналогового комутатора, відрізняється тим, що введено блок калібрувальних сигналів, калібрувальний малорозрядний аналого-цифровий перетворювач, оперативно запам'ятовуючий пристрій і цифровий обчислювальний пристрій, причому блок калібрувальних сигналів з'єднано з третім

входом аналогового комутатора, четвертий вхід якого з'єднано з шиною опорної напруги, його керуючий вхід підключено до першого виходу блоку керування, який є шиною «Пуск», вихід аналогового комутатора з'єднано з входом пристрою вибірки-зберігання, вихід якого з'єднано з входом калібрувального малорозрядного аналого-цифрового перетворювача, вихід схеми порівняння з'єднано з першим входом цифрового обчислювального пристрою, інформаційний вихід калібрувального малорозрядного аналого-цифрового перетворювача з'єднано з відповідним входом оперативно запам'ятовуючого пристрою, вихід якого приєднано до другого інформаційного входу цифрового обчислювального блоку, третій вхід якого є керуючим, і з'єднаний з другим виходом блоку керування, і є шиною "Кінець перетворення".

На фіг. 1 представлено структурну схему пристрою аналого-цифрового перетворювача, що реалізує запропонований спосіб, на фіг. 2 представлено структурну схему блоку калібрувальних сигналів.

Пристрій містить вхідну аналогову шину 12, яку з'єднано з першим інформаційним входом аналогового комутатора 2, на другий, третій і четвертий інформаційні входи якого відповідно подають сигнали із суматора 6, генератора калібрувальних сигналів 1 і шини опорної напруги 11, керуючий вхід якого 13 з'єднано з блоком керування 10, на керуючий вхід аналогового комутатора 2 подається керуючий сигнал «Пуск» 13 з блоку керування 10, вхід генератора калібрувальних сигналів 1 з'єднано з шиною опорної напруги 11, вихід аналогового комутатора 2 з'єднано з входом блоку вибірки-зберігання 3, вихід якої приєднано з входом схеми множення на основу системи числення 4 і калібрувальним малорозрядним аналого-цифровим перетворювачем 7, вихід схеми множення на основу системи числення 4 приєднано до першого входу схеми порівняння 5 і до першого входу суматора 6, на другий вхід схеми порівняння 5 подають сигнал із шини опорної напруги 11, вихід схеми порівняння 5 приєднано до першого входу схеми множення 15 і першим інформаційним входом цифрового обчислювального пристрою 9, другий вхід схеми множення 15 з'єднано з шиною опорної напруги 11, вихід якої з'єднано з входом суматора 6. Вихід суматора 6 з'єднано з другим інформаційним входом аналогового комутатора, вихід калібрувального малорозрядного аналого-цифрового перетворювача 7 з'єднано з входом оперативно запам'ятовуючого пристрою 8, вихід якого приєднано до другого інформаційного входу цифрового обчислювального пристрою 9, керуючий вхід даного пристрою з'єднано з другим виходом блоку керування 10, за допомогою шини «Кінець перетворення» 13, вихід цифрового обчислювального пристрою 9 приєднано до вихідної цифрової шини 14.

Блок калібрувальних сигналів 1 містить джерело струму 18, перший вивід якого з'єднано з шиною нульового потенціалу 16, другий вивід джерела струму 18 об'єднано з першою клемою ключового елемента 27. Другу клему ключового елемента 27 з'єднано з першою клемою ключового

елемента 19, першою клемою ключового елемента 23, першим виводом конденсатора 20, від'ємним входом підсилювача постійного струму 21. Додатний вхід підсилювача постійного струму 21 з'єднано з шиною нульового потенціалу 16, вихід підсилювача постійного струму 21, що є виводом блока калібрувальних сигналів 1, з'єднано з другою клемою ключового елемента 19, другим виводом конденсатора 20. Другу клему ключового елемента 23 з'єднано з першим виводом конденсатора 26 і першою клемою ключового елемента 25. Другу клему ключового елемента 25 з'єднано з шиною нульового потенціалу 16. Другий вивід конденсатора 26 з'єднано з першою клемою ключового елемента 24 і першою клемою ключового елемента 22, другу клему ключового елемента 24 з'єднано з шиною нульового потенціалу 16. Другу клему ключового елемента 22 з'єднано з вхідною шиною 17, вхідну шину 17 з'єднано з шиною опорної напруги 11. Перед початком самокалібрування по команді блоку керування 10 аналоговий комутатор 2 підключає вихід блока калібрувальних сигналів 1 до входу блоку вибірки-зберігання 3, що являється сигналом початку циклу калібрування старшого розряду перетворювача.

Пристрій працює наступним чином. Процес самокалібрування здійснюється послідовно від старших розрядів до молодших. З блоку вибірки-зберігання 3 сигнал подається на схему множення на основу системи числення 4 і на калібрувальний малорозрядний аналого-цифровий перетворювач 7. З виходу схеми множення 4 сигнал передають на схему порівняння, де порівнюють з величиною опорної напруги 11, якщо вхідний сигнал більший за опорну напругу то старший біт встановлюють в «-1», а опорну напругу віднімають від вхідної напруги помноженої на основу системи числення на суматорі 6, якщо вхідний сигнал менший за опорну напругу то старший біт встановлюють в «1», а опорну напругу додають до вхідної напруги помноженої на основу системи числення на суматорі 6. З виходу суматора 6 сформований сигнал через аналоговий комутатор 2 подають на вхід блоку вибірки-зберігання 3 на новий цикл і визначення наступного молодшого розряду. Паралельно із розглянутим циклом працює калібрувальний малорозрядний аналого-цифровий перетворювач 7. Після на надходження сигналу на його вхід із блоку вибірки-зберігання 3 визначають його величину за допомогою декількох циклів перетворення і за результатами даних перетворень величина сигналу буде визначена шляхом осереднення за співвідношенням:

$$K_{n-m} = \frac{\sum_{i=0}^{S-1} K_{n-m} \cdot \omega_{ai-0}}{S},$$

дану величину передають на вхід оперативно запам'ятовуючого пристрою 8, де зберігатимуться ваги усіх розрядів і похибок. З виходу оперативно запам'ятовуючого пристрою 8 збережені значення передаються на другий інформаційний вхід цифрового обчислювального пристрою 9. У цифровому обчислювальному пристрої до сигналу що над-

ходить з схеми порівняння 5 на перший інформаційний вхід вносяться відповідні поправки які надходять з оперативно запам'ятовуючого пристрою 8. Провівши декілька циклів цифровий обчислювальний пристрій 8 розраховує адитивну і мультиплікативну похибку:

$$\begin{cases} U_{i+1} = \alpha' \cdot U_i + \Delta_2 \\ U_{i+2} = \alpha' \cdot U_{i+1} + \Delta_2 \end{cases},$$

Віднявши дані співвідношення автоматично усувається адитивна похибка лінійності:

$$U_{i+2} - U_{i+1} = \alpha' \cdot U_{i+1} - U_i.$$

А реальне значення основи системи числення визначають за допомогою співвідношення:

$$\alpha' = \frac{U_{i+2} - U_{i+1}}{U_{i+1} - U_i}.$$

Для зменшення розрядності калібрувального малорозрядного аналого-цифровий перетворювача 7 і зменшення похибки квантування необхідно здійснювати процедуру багаторазового калібрування, а результат усереднити за співвідношенням:

$$Q_k = \frac{\sum_{l=1}^r Q_k^l}{r}.$$

Дані похибки розраховують на цифровому обчислювальному пристрої 9, зберігають в оперативно запам'ятовуючому пристрої 8 і вносять на кожному циклі перетворення.

Блок калібрувальних сигналів 1 починає роботу по команді блоку керування 10, на виході блока калібрувальних сигналів 1 починає формуватись аналоговий сигнал $A_{клб}$. Блок калібрувальних сигналів 1 являє собою інтегратор на базі операційного підсилювача 21, а також містить джерело струму 18. Для цього по команді блоку керування 10 замикає ключовий елемент 19 і струм зміщення заряджає конденсатор 20. Коли ключовий елемент 19 розмикається, заряд на конденсаторі 20 фіксується і на виході генератора встановлюється постійний рівень напруги. Після розмикання ключового елемента 19 інтегратора блок керування 10 блокує подачу коду з виходу блоку цифрового обчислювального пристрою 9 і розпочинає процес визначення коду сигналу. Для точного визначення ваги розряду що калібрується, по команді блоку керування 10 ключ 27 розмикається і замикаються ключові елементи 22 і 25, конденсатор 26 заряджається. На наступному етапі ключові елементи 22 і 25 розмикаються, а 23 і 24 замикаються, заряд з конденсатора 26 перетікає у конденсатор 20, формуючи нове значення допоміжного сигналу. Причому ємність конденсатора 26 набагато менша за ємність конденсатора 20.

Тоді сформований допоміжний сигнал представляють так:

$$U_{an_1} = U_{on} \cdot \frac{C_1 + C_k}{\sum_{i=0}^{n-1} C_i} + j \cdot U_{on} \cdot \frac{C_1}{C_2} \cdot \frac{C_0}{\sum_{i=0}^{n-1} C_i},$$

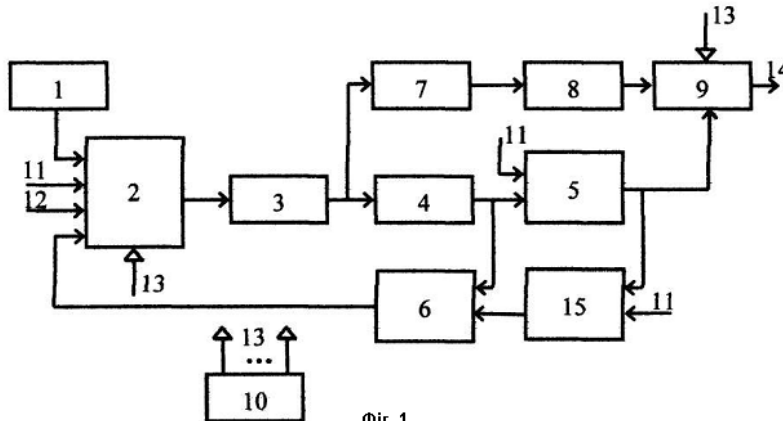
де $j \in \left[0, 1, \dots, \frac{C_2}{C_1} \right]$. Відношення C_1/C_2 задає

крок зміни допоміжного сигналу, послідовно формуючи необхідну напругу.

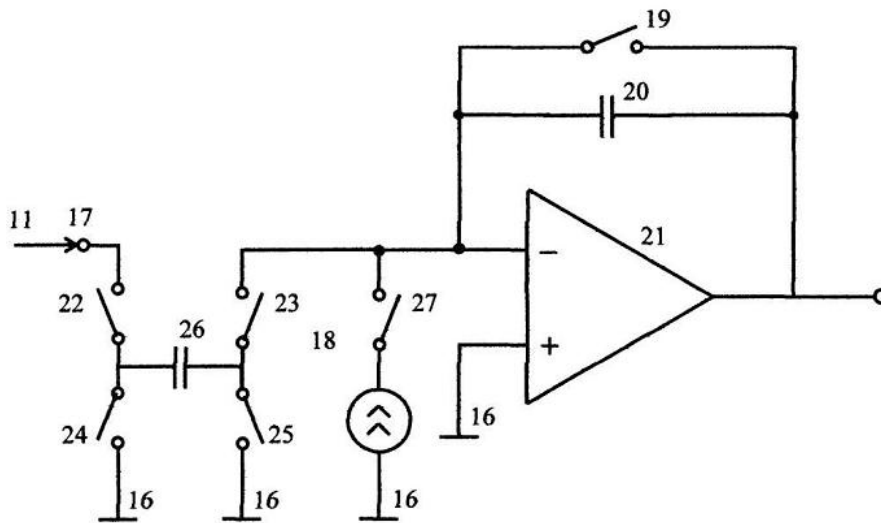
Після проведення калібрування пристрій переходить у режим основного перетворення, тому калібрувальний малорозрядний аналого-цифровий перетворювач 7 не використовують, а сигнал із аналогової вхідної шини за допомогою аналогово-

го комутатора 2 подають на блок вибірки-зберігання 3, схему множення на основу системи числення 4, схему порівняння 5, схему множення 15, суматор 6 і цифровий обчислювальний пристрій 9. При використанні запропонованого способу перетворення відбувається на основі співвідношення:

$$U_{i+1} = (\alpha + \Delta_1) \cdot U_i + (1 + \Delta_2) \cdot V_i \cdot U_{\text{он}}$$



Фиг. 1



Фиг. 2