



УКРАЇНА

(19) UA (11) 35500 (13) U
(51) МПК (2006)
H03M 1/12

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ

1

2

(21) u200804101

(22) 01.04.2008

(24) 25.09.2008

(46) 25.09.2008, Бюл.№ 18, 2008 р.

(72) БОРТНИК ГЕННАДІЙ ГРИГОРОВИЧ, UA, БО-
РТНИК СЕРГІЙ ГЕННАДІЙОВИЧ, UA, СТАЛЬЧЕН-
КО ОЛЕКСАНДР ВОЛОДИМИРОВИЧ, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ, UA

(57) Пристрій для аналого-цифрового перетворення, який містить аналого-цифровий перетворювач, вхід якого під'єднаний до вхідної шини, тактовий вхід - до тактової шини, а вихід - до вихідної шини, блок керування та постійний запам'ятовуючий пристрій, блок керування, вихідну шину, який **відрізняється** тим, що введено буферний регістр, входи якого з'єднані з виходами аналого-цифрового пристрою, а вихід - з першими адресними входами постійного запам'ятовуючого при-

строю, цифровий диференціатор, входи якого також з'єднані з виходами аналого-цифрового перетворювача, виходи - з другими адресними входами постійного запам'ятовуючого пристрою, а блок керування містить двійковий лічильник, постійний запам'ятовуючий пристрій та цифровий суматор, лічильний вхід двійкового лічильника з'єднаний з тактовою шиною, а виходи - з адресними входами постійного запам'ятовуючого пристрою блока керування, його виходи з'єднані з другими входами цифрового суматора блока керування, а перші входи якого з'єднані з виходами аналого-цифрового перетворювача, виходи цифрового суматора блока керування з'єднані з входами постійного запам'ятовуючого пристрою, перші входи цифрового суматора з'єднані з виходами буферного регістра, другі входи з'єднані з виходами постійного запам'ятовуючого пристрою, вихід цифрового суматора з'єднаний з вихідною шиною.

Корисна модель відноситься до автоматики і обчислювальної техніки і призначена для перетворення швидкозмінних аналогових сигналів у цифровий код.

Відомий пристрій для аналого-цифрового перетворення, який містить групу компараторів старших розрядів і групу компараторів молодших розрядів, перші входи яких підключені до джерел опорних напруг, сигнальні входи групи компараторів старших розрядів підключені до джерела сигналу, який перетворюється, а виходи компараторів в кожній групі, крім компараторів старших розрядів, об'єднані попарно і підключені до керуючих входів елементів пам'яті, і резистивні підсилювачі, перші входи яких підключені до джерел струмів зміщення, другі через повторювач та інвертор підключені до джерела сигналу, який перетворюється, а виходи попарно зі зсувом на один підключені до входів елемента, виходи яких через елемент АБО з'єднані з сигнальними входами компараторів молодших розрядів, входи стробування елементів пам'яті підключені до джерела стробуючого сигналу [А.с. СРСР №879771, МКИ H03K 5/22, бюлетень №41, 1981 р.].

Недоліками даного перетворювача є низька точність.

Відомий пристрій для аналого-цифрового перетворення, який містить малорозрядний аналого-цифровий перетворювач (АЦП), виходи якого підключені до шин старших розрядів, ЦАП, вихід якого з'єднаний з входом подільника напруги, до виходів подільника під'єднані компаратори, другі входи яких під'єднані до шин вхідної напруги, виходи компараторів під'єднані до шин молодших розрядів [заявка ФРН №274316, кл. H03K 13/05].

Недоліком даного пристрою для аналого-цифрового перетворення є низька точність.

Найбільш близьким є пристрій для аналого-цифрового перетворення, який містить аналого-цифровий перетворювач, тактові і опорні входи якого є відповідно тактовою і опорною шиною, а інформаційний вхід з'єднаний з виходом блоку зміни координати положення, інформаційний вхід якого є вхідною шиною, група керуючих входів з'єднана відповідно з першими входами блока керування, постійний запам'ятовуючий пристрій, перші і другі входи якого під'єднані відповідно до відповідних виходів аналого-цифрового перетворювача і до відповідних других виходів блока керування, а вихід є вихідною шиною, причому тактовий вхід блоку керування з'єднаний з тактовою шиною, інформаційні входи - з відповідними вихо-

(13) U

(11) 35500

(19) UA

дами аналого-цифрового перетворювача, опорний вхід блоку зміни координати положення з'єднаний з шиною опорної напруги, сам блок зміни координати положення виконаний на підсумовуючому підсилювачі і трьох ключах, виходи яких з'єднані відповідно з першим, другим і третім входами підсумовуючого підсилювача, четвертий вхід якого є інформаційним входом блоку керування, групою керуючих входів якого є керуючі входи відповідно першого, другого і третього ключів, інформаційні входи яких об'єднані і є опорним входом блоку, а його виходом є вихід підсумовуючого підсилювача, блок керування виконаний на двох постійних запам'ятовувачих пристроях і регістрі пам'яті, перша і друга групи інформаційних входів якого з'єднані з відповідними виходами першої і другої групи виходів першого постійного запам'ятовувального пристрою, і перша група виходів є першими виходами блоку, другими виходами якого є третя група виходів першого постійного запам'ятовувального пристрою, перша група входів якого з'єднана з відповідними виходами регістра пам'яті, а друга група входів - з відповідними виходами другого постійного запам'ятовувального пристрою, входи якого є інформаційними входами блоку керування, тактовим входом якого є вхід синхронізації регістра пам'яті [Патент SU №1425828, М. кл. А1 - Н03М 1/18].

Недоліками даного пристрою є низька точність перетворення, обумовлена тим, що при аналого-цифровому перетворенні не враховується крутість змінювання вхідного сигналу, що призводить до збільшення динамічної похибки АЦП.

В основу корисної моделі поставлено задачу створення пристрою для аналого-цифрового перетворення, в якому за рахунок введення нових блоків та зв'язків підвищується точність перетворення шляхом коригування результатів аналого-цифрового перетворення.

Поставлена задача досягається тим, що в пристрій для аналого-цифрового перетворення, який містить аналого-цифровий перетворювач, тактовий вхід якого є відповідно тактовою шиною, блок керування, вихідну шину та постійний запам'ятовувальний пристрій, введені буферний регістр, цифровий диференціатор, цифровий суматор, а блок керування виконаний на двійковому лічильнику, постійному запам'ятовувальному пристрої та цифровому суматорі, буферний регістр, входи якого з'єднані з виходами аналого-цифрового пристрою, а вихід з першими адресними входами постійного запам'ятовувального пристрою, цифровий диференціатор, входи якого також з'єднані з виходами аналого-цифрового перетворювача, а виходи з другими адресними входами постійного запам'ятовувального пристрою, блок керування містить двійковий лічильник, постійний запам'ятовувальний пристрій та цифровий суматор, лічильний вхід двійкового лічильника з'єднаний з тактовою шиною, а виходи - з адресними входами постійного запам'ятовувального пристрою блоку керування, його виходи з'єднані з другими входами цифрового суматора блоку керування, а перші входи якого з'єднані з виходами аналого-цифрового перетворювача, виходи

цифрового суматора блоку керування з'єднані з входами постійного запам'ятовувального пристрою, перші входи цифрового суматора з'єднані з виходами буферного регістра, другі входи з'єднані з виходами постійного запам'ятовувального пристрою, а вихід цифрового суматора з'єднаний з вихідною шиною, що дає при однаковій кількості розрядів пристрою для аналого-цифрового перетворення, який пропонується і прототипу підвищення точності шляхом коригування результатів аналого-цифрового перетворення.

На кресленні наведена структурна електрична схема пристрою для аналого-цифрового перетворення.

Пристрій містить вхідну шину 1, $U_{вх}$, тактову шину 2 (Т1), аналого-цифровий перетворювач 3 (АЦП), буферний регістр 4 (БР), цифровий диференціатор 5 (ЦД), блок керування (БК) 6, який виконаний на двійковому лічильнику 7, першому постійному запам'ятовувальному пристрої 8 (ПЗП) та першому цифровому суматорі 9 (ЦС), другий постійний запам'ятовувальний пристрій 10 (ПЗП), другий цифровий суматор 11 (ЦС), вихідну шину 12 $U_{с}(iT_s)$, причому АЦП 3 під'єднаний до вхідної шини 1, а його тактовий вхід під'єднаний до Т1 2, до виходів АЦП 3, під'єднані: БР 4, ЦД 5, першій вхід першого ЦС 9 блока керування 6, в свою чергу виходи БР 4 з'єднані з першими адресними входами другого ПЗП 10 та першим входом другого ЦС 11, виходи ЦД 5 з'єднані з другими адресними входами другого ПЗП 10, виходи другого ПЗП 10, з'єднані з другими входами другого ЦС 11, вхід двійкового лічильника 7 блока керування 6 з'єднаний з Т1 2, а виходи двійкового лічильника 7 з'єднані з входами першого ПЗП 8, виходи якого з'єднані з другими входами першого ЦС 9 блока керування 6, виходи першого ЦС 9 з'єднані з входами даних другого ПЗП 10.

Пристрій для аналого-цифрового перетворення працює наступним чином.

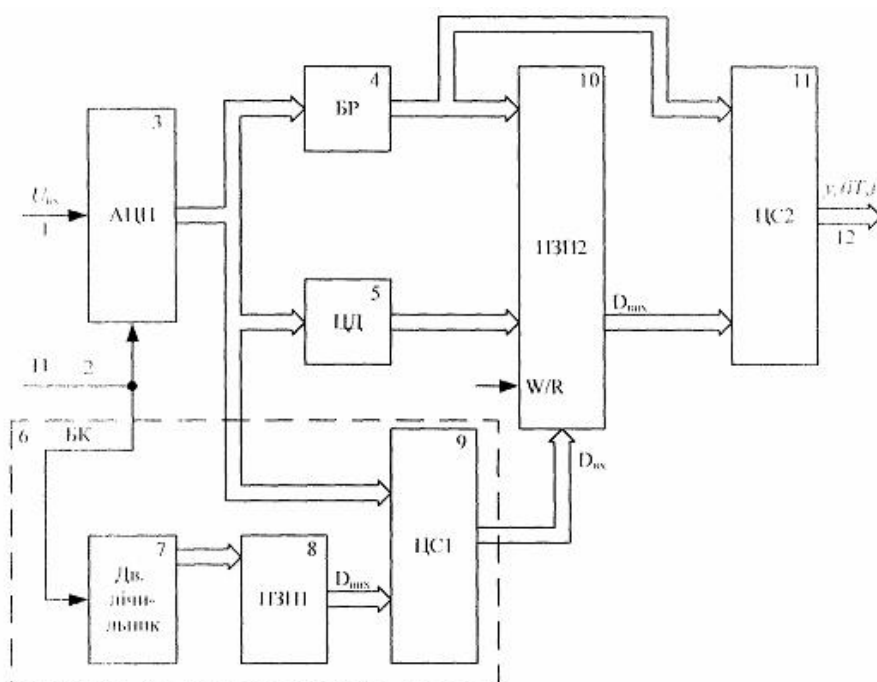
В режимі калібрування встановлюється сигнал "запис" на керувальному вході другого ПЗП 10. На вхідну шину 1 надходить синусоїдальний тактовий сигнал, АЦП 3 перетворює його в цифрову форму, використовуючи стробуючі імпульси, які надходять на відповідний вхід АЦП 3 з тактової шини 2. Отриманий сигнал надходить через БР 4 на перші адресні входи другого ПЗП 10, створюючи першу частину адреси комірки коригувальної похибки D_u (iT_s), БР 4 використовується в якості елемента затримки, яка відповідає затримці ЦД 5. Це необхідно для одночасного надходження сигналів на обидва адресні входи другого ПЗП 10. Також сигнал з виходу АЦП 3 надходить на вхід ЦД 5, який створює код крутості вхідного сигналу, що є другою частиною адреси коригувальної похибки і надходить на другі адресні входи другого ПЗП 10. Крім того вихідний код АЦП 3 надходить на першу шину першого ЦС 9. З тактової шини Т1 2 стробувальні імпульси надходять також на лічильний вхід двійкового лічильника 7, який формує код адреси зразкового цифрового синусоїдального сигналу, записаного в першому ПЗП 8. Цифрові еквіваленти синусоїдального сигналу з виходу першого ПЗП 8 подаються на другу шину першого ЦС 9, який

формує на виході код коригувальної похибки $\Delta u(iT_s)$, яка в свою чергу записується за адресою сформованою сигналами з БР 4 і ЦД 5. Калібрування виконується у всіх точках (дискретах) цифрового синусоїдального сигналу записаного в першому ПЗП 8. Другий ЦС 11 в режимі калібрування не функціонує, тому що другий ПЗП 10 працює в режимі запису і на його вихідній шині встановлено третій високоімідансний стан.

В робочому режимі встановлюється сигнал "читання" на керувальному вході другого ПЗП 10, тому вихідний сигнал з першого ЦС 9 заблокований. На вхідну шину 1 надходить сигнал, який перетворюється в цифровий код на виході АЦП 3.

Вихідний код надходить на БР 4, який зберігається на час затримки в ЦД 5. Вихідні коди БР 4 та ЦД 5 утворюють адресу вибірки сигналу похибки $\Delta u[y(iT_s); y'(iT_s)]$, який надходить на другий вхід другого ЦС 11. На перший вхід другого ЦС 11 надходить сигнал БР 4. Скоригований результат $u_c(iT_s) = y(iT_s) - \Delta u[y(iT_s); y'(iT_s)]$ формується на виході другого ЦС 11.

Таким чином пристрій для аналого-цифрового перетворення дає можливість збільшити точність за рахунок врахування динамічної похибки, яка враховує як інерційність АЦП, так і крутість вхідного сигналу.



Фиг.