



УКРАЇНА

(19) **UA** (11) **27019** (13) **U**  
(51) **МПК (2006)**  
**H03K 5/00**  
**G05B 1/00**

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

**ОПИС**  
**ДО ПАТЕНТУ**  
**НА КОРИСНУ МОДЕЛЬ**

видається під  
відповідальність  
власника  
патенту

**(54) ВХІДНИЙ ПРИСТРІЙ СХЕМИ ПОРІВНЯННЯ СТРУМІВ**

1

2

(21) u200706811

(22) 18.06.2007

(24) 10.10.2007

(46) 10.10.2007, Бюл. № 16, 2007 р.

(72) Азаров Олексій Дмитрович, Богомолов Сергій Віталійович, Крупельницький Леонід Віталійович

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Вхідний пристрій схеми порівняння струмів, що містить два вхідні транзистори, шини додатного та від'ємного живлення, шину нульового потенціалу, тридцять чотири транзистори, перший та другий вихідні транзистори, перший та другий резистори, вхідну і вихідну шини, перше та друге джерело струмів, причому виводи першого джерела струму з'єднано з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з базами тринадцятого і чотирнадцятого транзисторів відповідно, бази п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами тринадцятого і чотирнадцятого транзисторів відповідно, а також з колекторами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами п'ятого і шостого транзисторів відповідно, а також з базами сімнадцятого і вісімнадцятого транзисторів відповідно, а також з базами сьомого і восьмого транзисторів відповідно, колектори тринадцятого і чотирнадцятого транзисторів з'єднано з базами двадцять дев'ятого і тридцятого транзисторів відповідно, а також з колекторами першого і другого транзисторів відповідно, колектор третього, емітер п'ятого, емітер сімнадцятого, колектор двадцять дев'ятого, емітер сьомого транзисторів з'єднано з шиною додатного живлення, колектор четвертого, емітер шостого, емітер вісімнадцятого, колектор тридцятого, емітер восьмого транзисторів з'єднано з шиною від'ємного живлення, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, емітери двадцять дев'ятого і тридцятого транзисторів з'єднано з виводами другого джерела струму, а також з базами і колекторами тридцять першого і тридцять четвертого транзисторів відповідно, бази першого та другого транзисторів

з'єднано з базами та колекторами тридцять другого і тридцять третього транзисторів відповідно, а також з емітерами тридцять першого та тридцять четвертого транзисторів відповідно, а також з базами першого та другого вхідних транзисторів відповідно, емітери тридцять другого і тридцять третього транзисторів об'єднано та з'єднано з вхідною шиною, а також першим виводом другого резистора, емітери першого і другого вхідних транзисторів об'єднано та з'єднано з другим виводом другого резистора, а також з базою та колектором двадцять сьомого транзистора, а також з емітером двадцять шостого транзистора та з першим виводом першого резистора, колектори першого та другого вхідних транзисторів з'єднано з базами дев'ятого і десятого транзисторів відповідно, а також з колекторами сьомого і восьмого транзисторів відповідно, колектори дев'ятого і десятого транзисторів з'єднано з шиною нульового потенціалу, емітери дев'ятого і десятого транзисторів з'єднано з колекторами дев'ятнадцятого і двадцятого транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднано з базами та колекторами двадцять першого і двадцять другого транзисторів відповідно, а також з емітерами двадцять третього і двадцять четвертого транзисторів відповідно, колектори двадцять третього і двадцять четвертого транзисторів з'єднано з базами та колекторами одинадцятого і дванадцятого транзисторів відповідно, а також з базами першого і другого вихідних транзисторів відповідно, емітери двадцять п'ятого і двадцять сьомого транзисторів з'єднано з базами і колекторами двадцять шостого і двадцять восьмого транзисторів відповідно, емітери одинадцятого і дванадцятого транзисторів об'єднано, емітери дев'ятнадцятого і двадцять першого, колектор першого вихідного транзисторів з'єднано з шиною додатного живлення, емітери двадцятого і двадцять другого, колектор другого вихідного транзисторів з'єднано з шиною від'ємного живлення, емітери першого і другого вихідних транзисторів об'єднано та з'єднано вихідною шиною, який відрізняється тим, що в нього введено тридцять п'ятий і тридцять шостий транзистори, причому емітери тридцять п'ятого і двадцять восьмого транзисторів

(19) **UA** (11) **27019** (13) **U**

з'єднано з базами та колекторами двадцять п'ятого і тридцять шостого транзисторів відповідно, базу та колектор тридцять п'ятого і емітер тридцять шостого транзисторів з'єднано з колекторами двадцять третього і двадцять четвертого тран-

зисторів відповідно, а також з базами та колекторами одинадцятого і дванадцятого транзисторів відповідно та з базами першого і другого вихідних транзисторів відповідно.

Корисна модель відноситься до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо вхідний пристрій схеми порівняння струмів [Авторське свідоцтво №13110 Н 03 К 5/24, G 05 B 1/01, 2006р.], який містить вхідну шину яка з'єднано з емітерами першого та другого вхідних транзисторів, їх бази - з колекторами та базами першого і другого транзисторів, та з колекторами тринадцятого і чотирнадцятого транзисторів, колектори першого і другого вхідних транзисторів з'єднано з колекторами сьомого і восьмого транзисторів і базами дев'ятого і десятого транзисторів, емітери першого і другого транзисторів з'єднано з шиною нульового потенціалу, бази тринадцятого і чотирнадцятого транзисторів з'єднано з колекторами п'ятнадцятого і шістнадцятого та з першим і другим виводами другого резистора відповідно, а емітери тринадцятого і чотирнадцятого транзисторів з'єднано з базами п'ятнадцятого і шістнадцятого та колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами і колекторами п'ятого і шостого, базами сімнадцятого та вісімнадцятого, базами сьомого і восьмого транзисторів відповідно, колектори третього і четвертого, емітери п'ятого і шостого, емітери сімнадцятого та вісімнадцятого, емітери сьомого і восьмого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори дев'ятого та десятого транзисторів з'єднано з шиною нульового потенціалу, а їх емітери - з колекторами дев'ятнадцятого і двадцятого та базами двадцять третього і двадцять четвертого транзисторів відповідно, тоді як бази дев'ятнадцятого і двадцятого транзисторів з'єднано з базами і колекторами двадцять першого і двадцять другого та емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцятого та двадцять першого і двадцять другого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори двадцять третього і двадцять четвертого транзисторів з'єднано з колекторами і базами одинадцятого і дванадцятого транзисторів, а також з базами першого і другого вихідних транзисторів відповідно, крім того колектор двадцять третього транзистора підключений до колектора і бази двадцять п'ятого транзистора, а колектор двадцять четвертого з'єднано з емітером двадцять восьмого транзистора, емітери одинадцятого і дванадцятого транзисторів об'єднано між собою, колектори першого та друго-

го вихідних транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, а їх емітери об'єднано між собою та з'єднано з вихідною шиною, емітер двадцять п'ятого з'єднано з базою і колектором двадцять шостого, емітер двадцять шостого з'єднано з базою і колектором двадцять сьомого, емітер двадцять сьомого з'єднано з базою і колектором двадцять восьмого, а точка об'єднання емітера двадцять шостого транзистора та бази і колектора двадцять сьомого транзистора з'єднано з вихідною шиною, вихідну шину з'єднано з вхідною шиною через перший резистор та з шиною нульового потенціалу через третій резистор.

До недоліків слід віднести виникнення значних динамічних похибок за умови збільшення рівня вхідного сигналу, що погіршує швидкодію схеми, а також обмежує динамічний діапазон вхідного сигналу.

За прототип обрано вхідний пристрій схеми порівняння струмів [Патент України №19379 бюл. №12, 2006р.], який містить два вхідні транзистори, шини додатного та від'ємного живлення, шину нульового потенціалу, тридцять чотири транзистори, перший та другий вихідні транзистори, три резистори, вхідну і вихідну шини, перше та друге джерела струмів, причому виводи першого джерела струму з'єднано з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з базами тринадцятого і чотирнадцятого транзисторів відповідно, бази п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами тринадцятого і чотирнадцятого відповідно, а також з колекторами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами п'ятого і шостого транзисторів відповідно, а також з базами сімнадцятого і вісімнадцятого транзисторів відповідно, а також з базами сьомого і восьмого транзисторів відповідно, колектори тринадцятого і чотирнадцятого транзисторів з'єднано з базами двадцять дев'ятого і тридцятого транзисторів відповідно, а також з колекторами першого і другого транзисторів відповідно, колектор третього, емітер п'ятого, емітер сімнадцятого, колектор двадцять дев'ятого, емітер сьомого транзисторів з'єднано з шиною додатного живлення, колектор четвертого, емітер шостого, емітер вісімнадцятого, колектор тридцятого, емітер восьмого транзисторів з'єднано з шиною від'ємного живлення, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, емітери двадцять дев'ятого і тридцятого транзисторів з'єднано з виводами другого джерела струму, а також

з базами і колекторами тридцять першого і тридцять четвертого транзисторів відповідно, бази першого та другого транзисторів з'єднано з базами та колекторами тридцять другого і тридцять третього транзисторів відповідно, а також з емітерами тридцять першого та тридцять четвертого транзисторів відповідно, а також з базами першого та другого вхідних транзисторів відповідно, емітери тридцять другого і тридцять третього транзисторів об'єднано та з'єднано з вхідною шиною, а також першим виводом другого резистора, емітери першого і другого вхідних транзисторів об'єднано та з'єднано з другим виводом другого резистора, а також з базою та колектором двадцять сьомого транзистора, а також з емітером двадцять шостого транзистора та з першим виводом першого резистора, колектори першого та другого вхідних транзисторів з'єднано з базами дев'ятого і десятого транзисторів відповідно, а також з колекторами сьомого і восьмого транзисторів відповідно, колектори дев'ятого і десятого транзисторів з'єднано з шиною нульового потенціалу, емітери дев'ятого і десятого транзисторів з'єднано з колекторами дев'ятнадцятого і двадцятого транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно, бази дев'ятнадцятого двадцятого транзисторів з'єднано з базами та колекторами двадцять першого і двадцять другого транзисторів відповідно, а також з емітерами двадцять третього і двадцять четвертого транзисторів відповідно, колектори двадцять третього і двадцять четвертого транзисторів з'єднано з базою і колектором двадцять п'ятого і емітером двадцять восьмого транзисторів відповідно, а також з базами і колекторами одинадцятого і дванадцятого транзисторів відповідно, а також з базами першого і другого вхідних транзисторів відповідно, емітери двадцять п'ятого і двадцять сьомого транзисторів з'єднано з базами і колекторами двадцять шостого і двадцять восьмого транзисторів відповідно, емітери одинадцятого і дванадцятого транзисторів об'єднано, емітери дев'ятнадцятого і двадцять першого транзисторів, колектор першого вхідного транзистора з'єднано з шиною додатного живлення, емітери двадцятого і двадцять другого транзисторів, колектор другого вхідного транзистора з'єднано з шиною від'ємного живлення, емітери першого і другого вхідних транзисторів об'єднано та з'єднано з першим виводом третього резистора і другим виводом першого резистора, а також з вхідною шиною, другий вивід третього резистора з'єднано з шиною нульового потенціалу.

Недоліком прототипу є низькі значення коефіцієнту підсилення та швидкодії при малому рівні вхідного сигналу, що погіршує швидкодію схеми, а також обмежує динамічний діапазон вхідного сигналу.

В основу корисної моделі поставлено задачу створення вхідного пристрою схеми порівняння струмів, в якому за рахунок введення нових елементів та зв'язків між ними збільшується коефіцієнт підсилення та швидкодія при малому рівні вхідного сигналу, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача досягається тим, що у вхідній пристрій схеми порівняння струмів, який містить два вхідні транзистори, шини додатного та від'ємного живлення, шини нульового потенціалу, тридцять чотири транзистори, перший та другий вхідні транзистори, перший та другий резистори, вхідну і вихідну шини, перше та друге джерела струмів, причому виводи першого джерела струму з'єднано з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з базами тринадцятого і чотирнадцятого транзисторів відповідно, бази п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами тринадцятого і чотирнадцятого транзисторів відповідно, а також з колекторами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами п'ятого і шостого транзисторів відповідно, а також з базами сімнадцятого і вісімнадцятого транзисторів відповідно, а також з базами сьомого і восьмого транзисторів відповідно, колектори тринадцятого і чотирнадцятого транзисторів з'єднано з базами двадцять дев'ятого і тридцятого транзисторів відповідно, а також з колекторами першого і другого транзисторів відповідно, колектор третього, емітер п'ятого, емітер сімнадцятого, колектор двадцять дев'ятого, емітер сьомого транзисторів з'єднано з шиною додатного живлення, колектор четвертого, емітер шостого, емітер вісімнадцятого, колектор тридцятого, емітер восьмого транзисторів з'єднано з шиною від'ємного живлення, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, емітери двадцять дев'ятого і тридцятого транзисторів з'єднано з виводами другого джерела струму, а також з базами і колекторами тридцять першого і тридцять четвертого транзисторів відповідно, бази першого та другого транзисторів з'єднано з базами та колекторами тридцять другого і тридцять третього транзисторів відповідно, а також з емітерами тридцять першого та тридцять четвертого транзисторів відповідно, а також з базами першого та другого вхідних транзисторів відповідно, емітери тридцять другого і тридцять третього транзисторів об'єднано та з'єднано з вхідною шиною, а також першим виводом другого резистора, емітери першого і другого вхідних транзисторів об'єднано та з'єднано з другим виводом другого резистора, а також з базою та колектором двадцять сьомого транзистора, а також з емітером двадцять шостого транзистора та з першим виводом першого резистора, колектори першого та другого вхідних транзисторів з'єднано з базами дев'ятого і десятого транзисторів відповідно, а також з колекторами сьомого і восьмого транзисторів відповідно, колектори дев'ятого і десятого транзисторів з'єднано з шиною нульового потенціалу, емітери дев'ятнадцятого і двадцятого транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднано з базами та колекторами двадцять першого і

двадцять другого транзисторів відповідно, а також з емітерами двадцять третього і двадцять четвертого транзисторів відповідно, колектори двадцять третього і двадцять четвертого транзисторів з'єднано з базами та колекторами одинадцятого і дванадцятого транзисторів відповідно, а також з базами першого і другого вихідних транзисторів відповідно, емітери двадцять п'ятого і двадцять сьомого транзисторів з'єднано з базами і колекторами двадцять шостого і двадцять восьмого транзисторів відповідно, емітери одинадцятого і дванадцятого транзисторів об'єднано, емітери дев'ятнадцятого і двадцять першого, колектор першого вихідного транзисторів з'єднано з шиною додатного живлення, емітери двадцять і двадцять другого, колектор другого вихідного транзисторів з'єднано з шиною від'ємного живлення, емітери першого і другого вихідних транзисторів об'єднано та з'єднано вихідною шиною, введено тридцять п'ятий і тридцять шостий транзистори, причому емітери тридцять п'ятого і двадцять восьмого транзисторів з'єднано з базами та колекторами двадцять п'ятого і тридцять шостого транзисторів відповідно, базу та колектор тридцять п'ятого і емітер тридцять шостого транзисторів з'єднано з колекторами двадцять третього і двадцять четвертого транзисторів відповідно, а також з базами та колекторами одинадцятого і дванадцятого транзисторів відповідно та з базами першого і другого вихідних транзисторів відповідно.

На кресленні представлено принципову схему вхідного пристрою схеми порівняння струмів.

Пристрій містить перше джерело струму 3, яке своїми выводами з'єднано з колекторами п'ятнадцятого 2 і шістнадцятого 4 транзисторів відповідно, а також з базами тринадцятого 10 і чотирнадцятого 14 транзисторів відповідно, бази п'ятнадцятого 2 і шістнадцятого 4 транзисторів з'єднано з емітерами тринадцятого 10 і чотирнадцятого 14 транзисторів відповідно, а також з колекторами сімнадцятого 9 і вісімнадцятого 15 транзисторів відповідно, емітери п'ятнадцятого 2 і шістнадцятого 4 транзисторів з'єднано з емітерами третього 1 і четвертого 5 транзисторів відповідно, бази третього 1 і четвертого 5 транзисторів з'єднано з базами та колекторами п'ятого 7 і шостого 8 транзисторів відповідно, а також з базами сімнадцятого 9 і вісімнадцятого 15 транзисторів відповідно, а також з базами сьомого 24 і восьмого 27 транзисторів відповідно, колектори тринадцятого 10 і чотирнадцятого 14 транзисторів з'єднано з базами двадцять дев'ятого 16 і тридцятого 18 транзисторів відповідно, а також з колекторами першого 11 і другого 13 транзисторів відповідно, колектор третього 1, емітер п'ятого 7, емітер сімнадцятого 9, колектор двадцять дев'ятого 16, емітер сьомого 24 транзисторів з'єднано з шиною додатного живлення 47, колектор четвертого 5, емітер шостого 8, емітер вісімнадцятого 15, колектор тридцятого 18, емітер восьмого 27 транзисторів з'єднано з шиною від'ємного живлення 49, емітери першого 11 і другого 13 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 12, емітери двадцять дев'ятого 16 і тридцятого 18 транзисторів з'єднано з выводами другого джерела струму 17, а також з базами

і колекторами тридцять першого 19 і тридцять четвертого 22 транзисторів відповідно, бази першого 11 та другого 13 транзисторів з'єднано з базами та колекторами тридцять другого 20 і тридцять третього 21 транзисторів відповідно, а також з емітерами тридцять першого 19 та тридцять четвертого 22 транзисторів відповідно, а також з базами першого 25 та другого 26 вхідних транзисторів відповідно, емітери тридцять другого 20 і тридцять третього 21 транзисторів об'єднано та з'єднано з вхідною шиною 6, а також першим виводом другого резистора 23, емітери першого 25 і другого 26 вхідних транзисторів об'єднано та з'єднано з другим виводом другого резистора 23, а також з базою та колектором двадцять сьомого 35 транзистора, а також з емітером двадцять шостого 34 транзистора та з першим виводом першого резистора 44, колектори першого 25 та другого 26 вхідних транзисторів з'єднано з базами дев'ятого 29 і десятого 30 транзисторів відповідно, а також з колекторами сьомого 24 і восьмого 27 транзисторів відповідно, колектори дев'ятого 29 і десятого 30 транзисторів з'єднано з шиною нульового потенціалу 12, емітери дев'ятого 29 і десятого 30 транзисторів з'єднано з колекторами дев'ятнадцятого 28 і двадцятого 31 транзисторів відповідно, а також з базами двадцять третього 39 і двадцять четвертого 42 транзисторів відповідно, бази дев'ятнадцятого 28 і двадцятого 31 транзисторів з'єднано з базами та колекторами двадцять першого 38 і двадцять другого 43 транзисторів відповідно, а також з емітерами двадцять третього 39 і двадцять четвертого 42 транзисторів відповідно, колектори двадцять третього 39 і двадцять четвертого 42 транзисторів з'єднано з базою та колектором тридцять п'ятого 32 і емітером тридцять шостого 37 транзисторів відповідно, а також з базами та колекторами одинадцятого 40 і дванадцятого 41 транзисторів відповідно, а також з базами першого 45 і другого 46 вихідних транзисторів відповідно, емітери тридцять п'ятого 32 і двадцять восьмого 36 транзисторів з'єднано з базами та колекторами двадцять п'ятого 33 і тридцять шостого 37 транзисторів відповідно, емітери двадцять п'ятого 33 і двадцять сьомого 35 транзисторів з'єднано з базами і колекторами двадцять шостого 34 і двадцять восьмого 36 транзисторів відповідно, емітери одинадцятого 40 і дванадцятого 41 транзисторів об'єднано, емітери дев'ятнадцятого 28 і двадцять першого 38, колектор першого вихідного 45 транзисторів з'єднано з шиною додатного живлення 47, емітери двадцятого 31 і двадцять другого 43, колектор другого вихідного 46 транзисторів з'єднано з шиною від'ємного живлення 49, емітери першого 45 і другого 46 вихідних транзисторів об'єднано та з'єднано вихідною шиною 48.

Пристрій працює таким чином.

Вхідний струм спочатку надходить до обмежувача струмів, який побудовано на другому джерелі струму 17, двадцять дев'ятому 16, тридцятому 18, тридцять першому 19, тридцять другому 20, тридцять третьому 21, тридцять четвертому 22 та другому резисторі 23. Струм робочої точки визначається колекторними струмами тринадцятого 10 та чотирнадцятого 14 транзисторів. При цьому

$$I_{k10} \approx I_{k14} \approx I_{k11} \approx I_{k13} = \frac{I_{3M}}{\beta_{сер}},$$

де  $I_{3M}$  - струм першого джерела струму 3,

$$\beta_{сер} = \frac{\beta_{npn} + \beta_{pnp}}{2}.$$

Друге джерело струму 17 призначено для за-  
вдання робочої точки емітерних переходів двадця-  
ть дев'ятого 16 та тридцятого 18 транзисторів.  
Наскрізний струм, який протікає через тридцять  
перший 19, тридцять другий 20, тридцять третій  
21, тридцять четвертий 22 транзистори у діодному  
вмиканні, а також наскрізний струм вхідного каска-  
ду схеми, побудованого на першому вхідному 25  
та другому вхідному 26 транзисторах, також дорів-  
нюють струму робочої точки. При цьому опір на  
вхідному обмежувачі струмів дорівнює

$$r_{обм} = 2 \cdot r_{p-n(npn)} \parallel 2 \cdot r_{p-n(pnp)} \approx r_{pn},$$

де

$$r_{pn} = \frac{\varphi_T}{I_{PT}},$$

де  $\varphi_T$  - термопотенціал,  $I_{PT}$  - струм робочої  
точки. Вхідний опір схеми при цьому дорівнює

$$r_{вх} = r_{pn} / 2$$

Напруга на вході обмежувача дорівнює

$$U_{обм} = I_{вх} \cdot (r_{обм} \parallel R_2 + r_{вх}),$$

де  $I_{вх}$  - вхідний струм на шині 6,  $R_2$  - опір дру-  
гого резистора 23.

Тоді струм, що втікає на емітери вхідних тран-  
зисторів дорівнює

$$I'_{вх} = \frac{U_{обм}}{R_2 + r_{вх}} = \frac{I_{вх} \cdot r_{обм} \cdot (R_2 + r_{вх})}{R_2 + r_{вх}} = I_{вх} \cdot \frac{r_{обм}}{r_{обм} + R_2 + r_{вх}}$$

Таким чином коефіцієнт передачі вхідного  
струму на вхід підсилювача дорівнює

$$K_{\Pi} = \frac{I'_{вх}}{I_{вх}} = \frac{r_{обм}}{r_{обм} + R_2 + r_{вх}}.$$

Враховуючи, що  $r_{обм} = r_{pn} \cdot r_{вх} = r_{pn} / 2$  отрима-  
ємо кінцевий вираз для коефіцієнту передачі вхід-  
ного струму на вхід підсилювача

$$K_{\Pi} = \frac{r_{pn}}{r_{pn} + R_2 + r_{pn} / 2}.$$

Якщо  $I_{вх}$ , що подається на вхідну шину 6  
менший за струм робочої точки, то опір обмежува-  
ча змінюється незначно, і значна частина вхідного  
струму через другий резистор 23 потрапляє на  
вхід підсилювача. Якщо  $I_{вх}$ , що подається на вхід-  
ну шину 6 більший за струм робочої точки, то це  
значно зменшує опір обмежувача, і менша частина  
струму через другий резистор 23 потрапляє на  
вхід підсилювача. При цьому якщо вхідний струм,  
що є більшим за струм робочої точки, втікає в об-  
межувач, то надлишковий струм відтікає на шину  
від'ємного живлення 49 через тридцять третій 21,  
тридцять четвертий 22 та тридцятий 18 транзис-  
тори. Якщо вхідний струм, що є більшим за струм

робочої точки, витікає з обмежувача, то струм,  
якого не вистачає, береться з шини додатного  
живлення 47 через двадцять дев'ятий 16, три-  
дцять перший 19 та тридцять другий 20 транзис-  
тори.

Якщо струм втікає з обмежувача у схему, то  
другий вхідний транзистор 26 привідкривається, а  
перший вхідний транзистор 25 призакривається,  
колекторний струм другого вхідного транзистора  
26 збільшується, і десятий транзистор 30 привідк-  
ривається. Водночас колекторний струм першого  
вхідного транзистора 25 зменшується і дев'ятий  
транзистор 29 призакривається. Емітерний струм  
десятого транзистора 30 подається на вхід відби-  
вача струму побудованого на двадцятому 31, два-  
дцять четвертому 42, двадцять другому 43 тран-  
зисторах. Відбитий струм з колектора двадцять  
четвертого транзистора 42 протікає через коло  
одинадцятого 40 і дванадцятого 41 транзисторів.  
Емітерний струм дев'ятого транзистора 29 витікає  
з відбивача струму побудованого на дев'ятнадця-  
тому 28, двадцять першому 38, двадцять третьому  
39 транзисторах, відбитий струм з колектора два-  
дцять третього транзистора 39 протікає через коло  
одинадцятого 40 і дванадцятого 41 транзисторів.  
Оскільки  $I_{k42}$  більше  $I_{k39}$  то потенціал точки об'-  
єднання емітерів одинадцятого 40 і дванадцятого  
41 транзисторів зменшується, наближаючись до  
потенціалу шини від'ємного живлення 49. Водно-  
час, одинадцятий 40 та дванадцятий 41 транзис-  
тори задають не тільки струм спокою вихідного  
каскаду, побудованого на першому 45 та другому  
46 вихідних транзисторах, а й визначають потенці-  
ал вихідної шини 48. Таким чином напруга  $U_{вих}$   
повторює потенціал точки об'єднання емітерів  
одинадцятого 40 і дванадцятого 41 транзисторів,  
тобто зменшується і наближається до  $-U_{живл}$ .

Якщо вхідний струм витікає із схеми в обме-  
жувач, то другий вхідний транзистор 26 призакри-  
вається, а перший вхідний транзистор 25 привідк-  
ривається, колекторний струм другого вхідного  
транзистора 26 зменшується, і десятий транзистор  
30 призакривається. Водночас колекторний струм  
першого вхідного транзистора 25 збільшується і  
дев'ятий транзистор 29 привідкривається. Емітер-  
ний струм десятого транзистора 30 подається на  
вхід відбивача струму побудованого на двадцято-  
му 31, двадцять четвертому 42, двадцять другому  
43 транзисторах. Відбитий струм з колектора два-  
дцять четвертого транзистора 42 протікає через  
коло одинадцятого 40 і дванадцятого 41 транзис-  
торів. Емітерний струм дев'ятого транзистора 29  
витікає з відбивача струму побудованого на де-  
в'ятнадцятому 28, двадцять першому 38, двадцять  
третьому 39 транзисторах, відбитий струм з колек-  
тора двадцять третього транзистора 39 протікає  
через коло одинадцятого 40 і дванадцятого 41  
транзисторів. Оскільки  $I_{k42}$  менше  $I_{k39}$  то потен-  
ціал точки об'єднання емітерів одинадцятого 40 і  
дванадцятого 41 транзисторів збільшується, на-  
ближаючись до потенціалу шини додатного жив-  
лення. Напруга  $U_{вих}$  повторює потенціал точки  
об'єднання емітерів одинадцятого 40 і дванадця-

того 41 транзисторів, тобто збільшується і наближається до  $+U_{\text{живл}}$ .

Ланцюг транзисторів з двадцять п'ятого по двадцять восьмий 33-36 та тридцять п'ятого 32 і тридцять шостого 37 транзисторів у діодному вмиканні утворюють коло нелінійного від'ємного зворотного зв'язку, мета введення якого - обмежити амплітуду змінення напруги на виході схеми. При цьому якщо струм що втікає у схему збільшується, то потенціал вихідної шини зменшується. Транзистори двадцять сьомий 35, двадцять восьмий 36, тридцять шостий 37 привідкриваються, а транзистори тридцять п'ятий 32, двадцять п'ятий 33, двадцять шостий 34 призакриваються. При цьому через двадцять сьомий 35, двадцять восьмий 36, тридцять шостий 37 транзистори в коло колектора двадцять четвертого транзистора 42 втікає струм який компенсує вхідний струм схеми. По мірі збільшення  $I_{\text{вх}}$  двадцять сьомий 35, двадцять восьмий 36, тридцять шостий 37 транзистори привідкриваються сильніше, опори переходів колектор-емітер зменшуються, а глибина зворотного зв'язку збільшується. Опір вказаного кола транзисторів починає істотно шунтувати загальний опір зворотного зв'язку, який визначається з формули

$r_{p-n} = \frac{\varphi_t}{I_e}$ , де  $\varphi_t$  - термопотенціал,  $I_e$  - значення струму емітера, і зменшує змінення амплітуди на виході схеми.

Якщо струм, що витікає із схеми, збільшується, то потенціал вихідної шини зменшується. Транзистори двадцять сьомий 35, двадцять восьмий 36, тридцять шостий 37 призакриваються, а транзистори тридцять п'ятий 32, двадцять п'ятий 33, двадцять шостий 34 привідкриваються. При цьому через тридцять п'ятий 32, двадцять п'ятий 33, двадцять шостий 34 транзистори з кола колектора двадцять третього 39 транзистора витікає струм який компенсує вхідний струм схеми. По мірі збільшення  $I_{\text{вх}}$  який витікає із схеми тридцять п'ятий 32, двадцять п'ятий 33, двадцять шостий 34 транзистори привідкриваються сильніше, опори переходів колектор-емітер зменшуються, а глибина зворотного зв'язку знову ж таки збільшується. Опір кола тридцять п'ятий 32, двадцять п'ятий 33, двадцять шостий 34 транзисторів починає істотно шунтувати загальний опір зворотного зв'язку і зменшує змінення амплітуди на виході схеми.

Завдяки введенню тридцять п'ятого 32 і тридцять шостого 37 транзисторів підвищується швидкодія та коефіцієнт підсилення. Підвищення швидкодії забезпечується шляхом зменшення часу затримки зворотного зв'язку, що визначається, як:

$$t_{3.3} = R_1 \cdot C_{3.3}$$

де  $t_{3.3}$  - часу затримки,  $R_1$  - опір першого резистора 44,  $C_{3.3}$  - ємність кола нелінійного від'ємного зворотного зв'язку.

Для прототипу  $C_{3.3} = C_{p-n}$ , а для винаходу

$$C_{3.3} = \frac{2}{3} C_{p-n},$$

де  $C_{p-n}$  - ємність p-n переходу.

Отже при однаковому значенні  $R_1$ , отримуємо збільшення швидкодії в 1,5 рази.

Збільшення коефіцієнту підсилення замовлене зміною опору в колі нелінійного від'ємного зворотного зв'язку.

$$\text{Для прототипу } r_{(p-n)_{np}} = \frac{\varphi_T}{I_0 \cdot e^{2\varphi_T}},$$

$$\text{для винаходу } r_{(p-n)_B} = \frac{\varphi_T}{I_0 \cdot e^{3\varphi_T}},$$

де  $\varphi_T$  - термопотенціал,  $I_0$  - тепловий струм,  $U_{p-n}$  - падіння напруги на p-n переходах транзисторів,  $r_{(p-n)_{np}}$ ,  $r_{(p-n)_B}$  - опори p-n переходів в колах нелінійного від'ємного зворотного зв'язку для прототипу і винаходу відповідно.

Збільшення коефіцієнту підсилення буде рівне:

$$\chi_{r_{p-n}} = \frac{r_{(p-n)_B}}{r_{(p-n)_{np}}} = e^{\frac{U_{p-n}}{6\varphi_T}}$$

Оскільки коло транзисторів з двадцять п'ятого по двадцять восьмий у діодному вмиканні 30-33 підключені паралельно колу одинадцятого 36 та дванадцятого 37 транзисторів, то в стані спокою, тобто коли  $I_{\text{вх}} = 0$  транзистори кола 30-33 знаходяться на порозі відпирання. Якщо вхідний струм приймає максимальне значення, то залежно від напрямку вхідного струму або група з двадцять п'ятого 30 та двадцять шостого 31 відпирається, а група з двадцять сьомого 32 та двадцять восьмого 33 транзисторів закривається, або група з двадцять сьомого 32 та двадцять восьмого 33 транзисторів відкривається, а група з двадцять п'ятого 30 та двадцять шостого 31 транзисторів закривається.

Таким чином на виході схеми виникає перепад напруг  $\pm U_{p-n} : U_{\text{вих}}(I_{\text{вх}}) = [R_M \| 2r_{p-n}] \cdot I_{\text{вх}}$ , де  $U_{\text{вих}}$  - вихідна напруга,  $I_{\text{вх}}$  - вхідний струм,  $R_M$  - опір першого резистора 43,  $r_{p-n}$  - опір p-n переходу.

При малих вхідних струмах опір  $r_{p-n}$  різко зростає і значно перевищує  $R_M$ , при цьому чутливість схеми є максимальною. При великих  $I_{\text{вх}}$  опір  $r_{p-n}$  значно зменшується, шунтує  $R_M$  і чутливість зменшується пропорційно збільшенню  $I_{\text{вх}}$ .

За допомогою двоярусних схем відбивачів струму, а саме побудованих на третьому 1, п'ятому 7, сімнадцятому 9, сьомому 24, п'ятнадцятому 2, тринадцятому 10 транзисторах а також четвертому 5, шостому 8, вісімнадцятому 15, восьмому 27, шістнадцятому 4, чотирнадцятому 14 транзисторах, першого джерела струму 3 та першого 11 і другого 13 транзисторів забезпечується мінімізація похибки зміщення нуля по входу підсилювача та

завдання режим роботи по постійному струмові каскадів схеми.

Шини додатного 47 і від'ємного 49 живлення, а також шина нульового потенціалу 12 забезпечують потрібний рівень напруги для живлення схеми.

