

19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

12 Patentschrift  
11 DE 3050456 C2

51 Int. Cl. 4:  
H03M 1/12  
H 03 M 1/10

- 21 Deutsches Aktenzeichen: P 30 50 456.4-31  
86 PCT Aktenzeichen: PCT/SU80/00112  
87 PCT Veröffentlichungs-Nr.: WO 82/00072  
86 PCT Anmeldetag: 26. 6. 80  
87 PCT Veröffentlichungstag: 7. 1. 82  
43 Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: 12. 8. 82  
45 Veröffentlichungstag  
der Patenterteilung: 4. 2. 88

DE 3050456 C2

Innernalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:

Vinnickij politechničeskij institut, Vinnica, SU

74 Vertreter:

Beetz sen., R., Dipl.-Ing.; Beetz jun., R., Dipl.-Ing.  
Dr.-Ing.; Timpe, W., Dr.-Ing.; Siegfried, J., Dipl.-Ing.;  
Schmitt-Fumian, W., Privatdozent, Dipl.-Chem.  
Dr.rer.nat., Pat.-Anw., 8000 München

72 Erfinder:

Stachov, Aleksej Petrovič; Azarov, Aleksej  
Dmitrievič; Lužeckij, Vladimir Andreevič, Vinnica,  
SU

56 Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

DE 28 48 911 A1  
DE 27 32 008 A1

54 Analog-Digital-Umsetzer

DE 3050456 C2

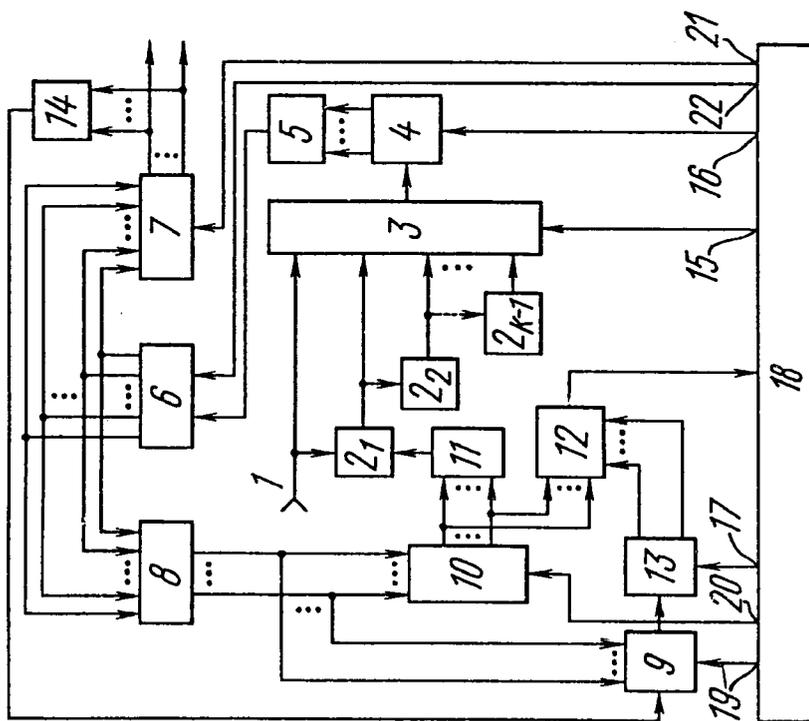


FIG. 1

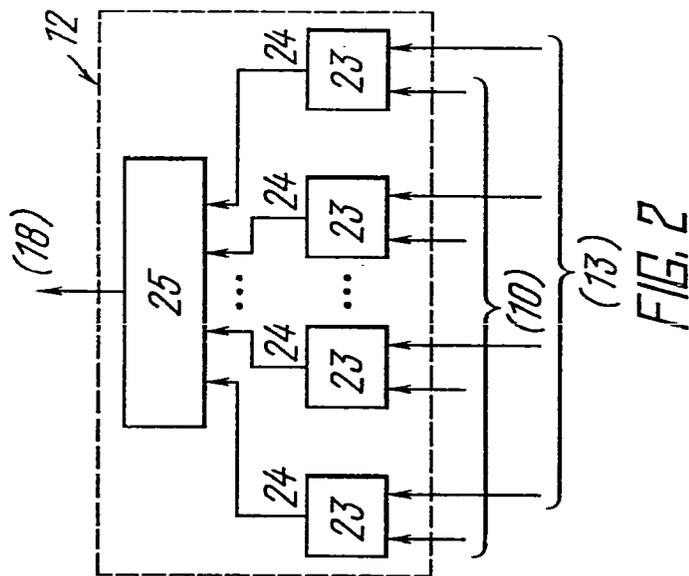


FIG. 2

## Patentanspruch

Analog-Digital-Umsetzer, bestehend aus  $(k-1)$  Verstärkern, die ausgangsseitig jeweils an einen Eingang vom zweiten bis zum  $k$ -ten Eingang eines Analogschalters angeschlossen sind, dessen Ausgang mit dem Eingang einer mehrstufigen Schwellenwert-Vergleichseinheit verbunden ist, wobei der Eingang des  $(i+1)$ -ten Verstärkers an den Ausgang des  $i$ -ten Verstärkers, der erste Eingang des ersten Verstärkers an den ersten als Eingang des Analog-Digital-Umsetzers dienenden Eingang des Analogschalters und der zweite Eingang des ersten Verstärkers an den Ausgang des Digital-Analog-Umsetzers angeschlossen sind, während der erste, der zweite und der dritte Ausgang der Steuereinheit jeweils mit den Steuereingängen des Analogschalters, der mehrstufigen Schwellenwert-Vergleichseinheit und des Registers gekoppelt sind, gekennzeichnet durch einen Parallel-Serien-Kodeumsetzer (5), dessen mehrstelliger Eingang mit dem mehrstelligen Ausgang der mehrstufigen Schwellenwert-Vergleichseinheit (4) gekoppelt ist, eine digitale Vergleichsschaltung (14), einen Vor- und Rückwärtszähler (7), einen Digitalisierer (6), an dessen Eingang der Parallel-Serien-Kodeumsetzer (5) ausgangsseitig angeschlossen ist, einen Vorwärtszähler (8) und eine mit dem mehrstelligen Ausgang des letzteren gekoppelte Einheit (10) zur Faltung und Abwicklung des Codes, deren mehrstelliger Ausgang mit dem mehrstelligen Eingang des Digital-Analog-Umsetzers (11) verbunden ist, sowie eine Einheit (9) zur Kodeanalyse und eine Einheit (12) zur Bestimmung der Abwicklungsart, deren erster mehrstelliger Eingang an den mehrstelligen Ausgang der Einheit (10) zur Faltung und Abwicklung des Codes und deren zweiter mehrstelliger Eingang an den mehrstelligen Ausgang des Registers (13) angeschlossen sind, mit dessen Eingang die mit ihrem mehrstelligen Eingang an den mehrstelligen Ausgang des Vorwärtszählers (8) angeschlossene Einheit (9) zur Kodeanalyse verbunden ist, wobei der  $k$ -stellige Ausgang des Digitalisierers (6) an die Eingänge des Vorwärtszählers (8) sowie des Vor- und Rückwärtszählers (7) angeschlossen ist, dessen als Ausgang des Analog-Digital-Umsetzers dienender mehrstelliger Ausgang mit dem mehrstelligen Eingang der digitalen Vergleichsschaltung (14) gekoppelt ist, welche ausgangsseitig mit dem ersten Steuereingang der Einheit (9) zur Kodeanalyse verbunden ist, deren zweiter Steuereingang wie auch die Steuereingänge der Einheit (10) zur Faltung und Abwicklung des Codes, des Vor- und Rückwärtszählers (7) und des Digitalisierers (6) jeweils an den vierten, fünften, sechsten und siebenten Ausgang (19, 20, 21 und 22) der Steuereinheit (18) angeschlossen sind, mit deren Eingang ausgangsseitig die Einheit (12) zur Bestimmung der Abwicklungsart verbunden ist, wobei in einer Betriebsart der metrologischen Kontrolle die digitale Vergleichsschaltung (14) in Zusammenwirken mit der Einheit (9) zur Kodeanalyse gestörte Kodestellen ermittelt und das Register (13) diese gestörten Stellen speichert.

## Beschreibung

Die vorliegende Erfindung bezieht sich auf das Ge-

biet der Rechen- und Digitalmeßtechnik und betrifft insbesondere einen Analog-Digital-Umsetzer.

Sämtliche Meßgeräte, zu denen auch der beanspruchte Umsetzer gehört, werden der metrologischen Kontrolle, d. h. der Überprüfung ihrer metrologischen Kenngrößen auf Übereinstimmung mit den erforderlichen Werten, unterzogen.

Zur Durchführung solcher Kontrollen braucht man eine breite Palette von Normen, die technisch überaus schwierig realisierbar sind, während der Prozeß der metrologischen Kontrolle selbst sehr zeitraubend ist.

So ist ein Analog-Digital-Umsetzer bekannt (Asarov A. D. u. a.: Analogo-zifrovoj preobrazovatel s ziklitscheskim utotschneniem rezultate. — "Pribory i tehnika eksperimenta", 1979, H. 2, S. 96—97), bestehend aus  $(k-1)$  Verstärkern,  $(k-1)$  Digital-Analog-Umsetzern und einer mehrstufigen Schwellenwert-Vergleichseinheit. Außerdem enthält der bekannte Umsetzer einen Parallel-Serien-Kodeumsetzer, einen Analogschalter, einen Summator, ein Register und eine Steuereinheit. Der erste Eingang des ersten Verstärkers ist dabei mit dem ersten Eingang des Analogschalters gekoppelt und dient als Eingang des Analog-Digital-Umsetzers. Der  $i$ -te Digital-Analog-Umsetzer ist ausgangsseitig mit dem zweiten Eingang des  $i$ -ten Verstärkers gekoppelt, dessen erster Eingang an den Ausgang des  $(i-1)$ -ten Verstärkers angeschlossen ist. Jeder der  $(k-1)$  Verstärker ist ausgangsseitig mit einem zugehörigen, vom zweiten bis zum  $k$ -ten Eingang des Analogschalters verbunden. Der zweite Ausgang des Analogschalters ist mit dem Eingang der Steuereinheit und dessen erster Ausgang mit dem Eingang der mehrstufigen Schwellenwert-Vergleichseinheit gekoppelt. Der erste Ausgang der Vergleichseinheit ist mit dem Eingang des Parallel-Serien-Kodeumsetzers gekoppelt, der ausgangsseitig an den Summator angeschlossen ist. Der Ausgang des Summatore ist dabei an den Eingang des Registers angeschlossen und dient als Ausgang des Analog-Digital-Umsetzers. Die Eingänge des  $i$ -ten Digital-Analog-Umsetzers sind mit den zugehörigen Ausgängen des Registers gekoppelt, während die Steuereingänge des Analogschalters und der mehrstufigen Schwellenwert-Vergleichseinheit an die zugehörigen Ausgänge der Steuereinheit angeschlossen sind.

Der Umsetzungsprozeß einer analogen Eingangsgröße in den  $n$ -stelligen Binärkode vollzieht sich in  $k$  Takten, wobei in jedem von diesen  $m$  Kodestellen gebildet werden.

In dem  $i$ -ten Takt wirken  $(i-1)$  Verstärker,  $(i-1)$  Digital-Analog-Umsetzer, der  $i$ -te Kanal des Analogschalters und übrige Einheiten des bekannten Analog-Digital-Umsetzers mit.

Während des ersten Taktes wird die analoge Eingangsgröße des bekannten Umsetzers dem ersten Eingang des Analogschalters zugeführt, der, angesteuert von einem aus der Steuereinheit ankommenden Steuerungssignal, diese an den Eingang der mehrstufigen Schwellenwert-Vergleichseinheit durchschaltet. Die Vergleichseinheit setzt die analoge Eingangsgröße in den unitären Parallelkode um, der anschließend vom Parallel-Serien-Kodeumsetzer in den binär gewichteten Kode umkodiert wird. Der entstandene Kode wird mit dem Inhalt des Summatore addiert. Das Additionsergebnis wird ins Register übernommen. Der vom Register ankommende Kode wird vom ersten Digital-Analog-Umsetzer in eine analoge Größe umgewandelt, die dem zweiten Eingang des ersten Verstärkers zugeführt wird. Die Differenz der den Eingängen des Verstärkers zugeführten analo-

gen Größen wird verstärkt und an den zweiten Eingang des Analogschalters gegeben. Im weiteren läuft der Umsetzungsprozeß auf die gleiche Weise ab.

Die metrologische Kontrolle eines derartigen Umsetzers, die als Eichung aufzufassen ist, ist kompliziert. Dieser Umsetzer weist außerdem eine niedrige Zuverlässigkeit auf, so daß es nicht möglich ist, den Sollwert des digitalen Äquivalentes der analogen Eingangsgröße bei der Störung selbst einer Stelle des Digital-Analog-Umsetzers zu erhalten.

Der Erfindung liegt die Aufgabe zugrunde, einen solchen Analog-Digital-Umsetzer zu entwickeln, bei dem durch eine nicht eindeutige Darstellung einer und derselben Zahl in  $p$ -Kodes die metrologische Kontrolle vereinfacht und die Zuverlässigkeit erhöht werden.

(Hier und im weiteren sollen unter einem  $p$ -Kode  $p$ -Fibonacci- und  $p$ -Goldener-Schnitt-Kodes verstanden werden. Diese Kodes sind druckschriftlich bekannt und werden weiter unten näher erläutert.)

Die gestellte Aufgabe wird dadurch gelöst, daß ein Analog-Digital-Umsetzer, bestehend aus  $(k-1)$  Verstärkern, die ausgangsseitig jeweils mit einem zugehörigen zweiten bis  $k$ -ten Eingang eines Analogschalters verbunden sind, dessen Ausgang mit dem Eingang einer mehrstufigen Schwellenwert-Vergleichseinheit gekoppelt ist, wobei der Eingang des  $(i+1)$ -ten Verstärkers an den Ausgang des  $i$ -ten Verstärkers, der erste Eingang des ersten Verstärkers an den ersten als Eingang des Analog-Digital-Umsetzers dienenden Eingang des Analogschalters und der zweite Eingang des ersten Verstärkers an den Ausgang des Analog-Digital-Umsetzers angeschlossen ist, während der erste, der zweite und der dritte Ausgang der Steuereinheit jeweils mit den Steuereingängen des Analogschalters, der mehrstufigen Schwellenwert-Vergleichseinheit und des Registers verbunden sind, gemäß der Erfindung einen Parallel-Serien-Kodeumsetzer, dessen mehrstufiger Eingang mit dem mehrstelligen Ausgang der mehrstufigen Schwellenwert-Vergleichseinheit gekoppelt ist, eine digitale Vergleichsschaltung, einen Vor- und Rückwärtszähler, einen Digitalschalter, an dessen Eingang der Parallel-Serien-Kodeumsetzer ausgangsseitig angeschlossen ist, einen Vorwärtszähler und eine an den mehrstelligen Ausgang des letzteren angeschlossene Einheit zur Faltung und Abwicklung des Codes, deren mehrstelliger Ausgang mit dem mehrstelligen Eingang des Digital-Analog-Umsetzers verbunden ist, sowie eine Einheit zur Kodeanalyse und eine Einheit zur Bestimmung der Abwicklungsart, deren erster mehrstelliger Eingang an den mehrstelligen Ausgang der Einheit zur Faltung und Abwicklung des Codes und deren zweiter mehrstelliger Eingang an den mehrstelligen Ausgang des Registers angeschlossen sind, mit dessen Eingang ausgangsseitig die mit ihrem mehrstelligen Eingang an den mehrstelligen Ausgang des Vorwärtszählers angeschlossene Einheit zur Kodeanalyse ausgangsseitig verbunden ist, aufweist, wobei der  $k$ -stellige Ausgang des Digitalschalters an die Eingänge des Vorwärtszählers sowie des Vor- und Rückwärtszählers angeschlossen ist, dessen als der Ausgang des Analog-Digital-Umsetzers dienender mehrstelliger Ausgang mit dem mehrstelligen Eingang der digitalen Vergleichsschaltung gekoppelt ist, welche ausgangsseitig mit dem ersten Steuereingang der Einheit zur Kodeanalyse verbunden ist, deren zweiter Steuereingang wie auch die Steuereingänge der Einheit zur Faltung und Abwicklung des Codes, des Vor- und Rückwärtszählers und des Digitalschalters jeweils an den vierten, fünften, sechsten und siebenten Ausgang

der Steuereinheit angeschlossen sind, mit deren Eingang ausgangsseitig die Einheit zur Bestimmung der Abwicklungsart verbunden ist, wobei in einer Betriebsart der metrologischen Kontrolle die digitale Vergleichsschaltung (14) im Zusammenwirken mit der Einheit (9) zur Kodeanalyse gestörte Kodestellen ermittelt und das Register (13) diese gestörten Stellen speichert.

Eine derartige Ausführung des erfindungsgemäßen Umsetzers gestattet es, seine metrologische Kontrolle zu vereinfachen sowie die Zuverlässigkeit zu erhöhen.

Im weiteren wird das Wesen der Erfindung an Hand ihrer ausführlichen Beschreibung unter Bezugnahme auf die beiliegenden Zeichnungen erläutert, in denen zeigt

Fig. 1 das gesamte Blockschaltbild des erfindungsgemäßen Analog-Digital-Umsetzers,

Fig. 2 eine Ausführungsvariante der erfindungsgemäßen Einheit zur Bestimmung der Abwicklungsart.

Der erfindungsgemäße Analog-Digital-Umsetzer, wie er in Fig. 1 dargestellt ist, weist den Eingang 1, dem die umzusetzende analoge Eingangsgröße zugeführt wird, und  $(k-1)$  Verstärker 2, die ausgangsseitig jeweils mit einem zugehörigen zweiten bis  $k$ -ten Eingang des Analogschalters 3 gekoppelt sind, auf. Dabei ist der Eingang des Verstärkers  $2_{i+1}$  an den Ausgang des Verstärkers  $2_i$  angeschlossen, während der erste Eingang des ersten Verstärkers  $2_1$  und der erste Eingang des Analogschalters 3 mit dem Eingang 1 verbunden sind. Ausgangsseitig ist der Analogschalter 3 an den Eingang der mehrstufigen Schwellenwert-Vergleichseinheit 4 angeschlossen, welche die Umsetzung der analogen Eingangsgröße in den unitären Parallelkode vornimmt. Der mehrstellige Ausgang der Eingang 4 ist mit dem mehrstelligen Eingang des Parallel-Serien-Kodeumsetzers 5 verbunden, der den unitären Parallelkode in einen unitären Serienkode umsetzt. Ausgangsseitig ist der Umsetzer 5 an den Digitalschalter 6 angeschlossen, dessen  $k$ -stelliger Ausgang mit dem Vor- und Rückwärtszähler 7 sowie mit dem Vorwärtszähler 8 gekoppelt ist. Der mehrstellige Ausgang des Vorwärtszählers 8 ist mit dem mehrstelligen Eingang der Einheit 9 zur Kodeanalyse, welche zur Bestimmung der Nummer der höchsten mit Eins belegten Stelle des zu analysierenden Kodes dient, und dem mehrstelligen Eingang der Einheit 10 zur Faltung und Abwicklung des Codes, welche die Operationen der Kodefaltung und -abwicklung ausführt, verbunden. Die Funktion der Zähler 7 und 8 ist in der DE-PS 27 32 008 ausführlich beschrieben.

In einer bevorzugten Ausführungsvariante stellt die Einheit 10 eine Einrichtung zur Minimierung von  $p$ -Fibonacci-Kodes (s. GB-PS 15 43 302) dar.

Der mehrstellige Ausgang der Einheit 10 ist an den Digital-Analog-Umsetzer 11 angeschlossen, der ausgangsseitig mit dem zweiten Eingang des ersten Verstärkers  $2_1$  verbunden ist.

Außerdem ist der mehrstellige Ausgang der Einheit 10 an den ersten mehrstelligen Eingang der Einheit 12 zur Bestimmung der Abwicklungsart angeschlossen. Diese Einheit 12 läßt den Typ der von der Einheit 10 vorgenommenen Abwicklung feststellen.

Der zweite mehrstellige Eingang der Einheit 12 ist an das Register 13 angeschlossen.

Das Register 13 dient zur Speicherung von Nummern gestörter Stellen. Der Eingang des Registers 13 ist mit der Einheit 9 gekoppelt, an deren ersten Steuereingang die digitale Vergleichsschaltung 14 ausgangsseitig angeschlossen ist, welche zum Vergleichen des Eingangssignals mit der Normgröße dient und ein Signal erzeugt,

falls der Kode die vorgegebene Größe überschreitet.

Der mehrstellige Eingang der Schaltung 14 ist mit dem mehrstelligen Ausgang des Vor- und Rückwärtszählers 7 gekoppelt; dabei dient dieser als der Ausgang des vorliegenden Analog-Digital-Umsetzers.

Mit den Steuereingängen des Analogschalters 3, der mehrstufigen Schwellenwert-Vergleichseinheit 4 und des Registers 13 sind jeweils der erste, der zweite und der vierte Ausgang 15, 16 und 17 der Steuereinheit 18 verbunden. Außerdem sind an den zweiten Steuereingang der Einheit 9 zur Kodeanalyse sowie an die Steuereingänge der Einheit 10 zur Faltung und Abwicklung des Kodes, des Vor- und Rückwärtszählers 7 und des Digitalschalters jeweils der vierte, fünfte, sechste und siebente Ausgang 19, 20, 21 und 22 der Steuereinheit 18 angeschlossen.

An den Eingang der Steuereinheit 18 ist der Ausgang der Einheit 12 zur Bestimmung der Abwicklungsart angeschlossen.

Die Einheit 12 wird üblicherweise als logische Kombinationschaltung ausgeführt, wie es z. B. in Fig. 2 dargestellt ist.

Gegebenenfalls weist die Einheit 12 logische UND-Schaltungen 23 auf, deren Anzahl der Stellenzahl des Kodes gleich ist; der Ausgang 24 jeder der Schaltungen 23 ist an einen entsprechenden Eingang der ODER-Schaltung 25 angeschlossen, deren Ausgang als derjenige der Einheit 12 dient. Dabei bilden die ersten Eingänge der Schaltungen 23 den ersten mit dem mehrstelligen Ausgang der Einheit 10 gekoppelten mehrstelligen Eingang der Einheit 12, während die zweiten Eingänge der Schaltungen 23 den zweiten mit dem mehrstelligen Ausgang des Registers 13 gekoppelten mehrstelligen Eingang der Einheit 12 bilden.

Die Hinzufügung von neuen Einheiten, wie Umsetzer 5, Schalter 6, Zähler 7 und 8, Einheiten 9, 10, 12, 13, 14 sowie von neuen Kopplungen läßt durch Ausnutzung der unterschiedlichen Kodedarstellung ein und derselben Zahl die metrologische Kontrolle vereinfachen. Außerdem wird die Zuverlässigkeit des erfindungsgemäßen Analog-Digital-Umsetzers infolge der Ausschließung gestörter Stellen während des Kodierungsprozesses erhöht.

Es sei bemerkt, daß eine Stelle zwei Störungsarten aufweisen kann.

Zum ersten, wenn die Normgröße zur Erzeugung der analogen Ausgangsgröße nicht vollständig ausgenutzt werden kann, liegt die Störung vom Typ "Keine Einschaltung" (Havarierversagen) vor.

Zum zweiten, wenn die Normgröße, welche zur Erzeugung der analogen Ausgangsgröße dient, dem Stellengewicht der Kodestelle nicht proportional ist, liegt die Störung vom Typ "Verstimmung" (parametrisches Versagen) vor.

Der erfindungsgemäße Analog-Digital-Umsetzer funktioniert in zwei Betriebsarten: in der Betriebsart der direkten Umsetzung der analogen Eingangsgröße in digitale Ausgangsgröße sowie in der Betriebsart der metrologischen Kontrolle.

Der Umsetzungsprozeß der analogen Eingangsgröße in den  $n$ -stelligen  $p$ -Kode vollzieht sich in  $k$  Takten. In jedem Takt werden  $m$  Kodestellen gebildet. In dem  $i$ -ten Takt wirken  $(i-1)$  Verstärker 2, der Digital-Analog-Umsetzer 11, der  $i$ -te Kanal des Analogschalters 3, der  $i$ -te Kanal des Digitalschalters 6 und übrige Baueinheiten des vorliegenden Umsetzers, ausgenommen die Einheit 9 und die Schaltung 14, mit. In der Betriebsart der metrologischen Kontrolle wirken sämtliche Bauein-

ten mit.

Wie es vorstehend bereits bemerkt wurde, gehören zu den  $p$ -Kodes  $p$ -Fibonacci- und  $p$ -Goldener-Schnitt-Kodes.

Dabei heißt ein  $p$ -Fibonacci-Kode die Darstellung einer beliebigen natürlichen Zahl  $N$  in der Form:

$$N = \sum_{i=0}^n a_i \cdot \varphi_p(i),$$

mit  $a_i \in \{0,1\}$

$\varphi_p$  Stellengewicht der  $i$ -ten Stelle bzw.  $i$ -te Fibonacci- $p$ -Zahl, die wie folgt berechnet wird.

$$\varphi_p(i) \begin{cases} 0, & \text{falls } i < 0 \\ 1, & \text{falls } i = 0 \\ \varphi_p(i-1) + \varphi_p(i-p-1), & \text{falls } i > 0. \end{cases}$$

Im  $p$ -Goldener-Schnitt-Kode wird eine beliebige reelle Zahl  $D$  folgendermaßen dargestellt:

$$D = \sum_{l=-\infty}^{+\infty} a_l \alpha_p^l,$$

mit  $a_l \in \{0,1\}$

$\alpha_p^l$  - Stellengewicht der  $l$ -ten Stelle,

$p = 0, 1, 2, \dots$

Für eine und dieselbe Zahl gibt es eine Menge von angegebenen Darstellungen, unter denen auch eine einzige, sogenannte minimale Normalform existiert, welche sich durch das Vorhandensein rechts jeder mit Eins belegten Stelle von zumindest  $n$  mit Null belegten Stellen kennzeichnet. Bei  $p = 0$  ist der  $p$ -Goldener-Schnitt-Kode dem klassischen Binärkode gleich.

$\alpha_p$  ist reelle positive Wurzel der Gleichung:

$$x^{p+1} = x^p + 1$$

Die Beziehung der Stellengewichte des Kodes zueinander wird durch folgende Rekursionsrelation beschrieben:

$$\alpha_p^l = \alpha_p^l + \alpha_p^{l(p+1)},$$

welche den Operationen der Faltung und der Abwicklung von Kodestellen zugrundeliegt. Die Faltung besteht in der Invertierung der  $l$ -ten mit Eins belegten Stelle sowie der  $(l-1)$ -ten und der  $(l-p-1)$ -ten mit Null belegten Stellen und wird durch



gekennzeichnet.

Die Abwicklung ist eine der Faltung inverse Operation und besteht in der Invertierung der  $l$ -ten mit Eins belegten Stelle sowie der  $(l-1)$ -ten und der  $(l-p-1)$ -ten mit Null belegten Stellen und wird durch



gekennzeichnet.

Die Hauptbesonderheit dieser Operation besteht darin, daß sie nicht den Wert der durch den Kode verschlüsselten Zahl, sondern lediglich die Darstellungsform des Kodes verändern.

In der Betriebsart der direkten Umsetzung der analo-

gen Eingangsgröße in  $p$ -Kode funktioniert die Einrichtung wie folgt. Während des ersten Taktes wird die umzusetzende analoge Eingangsgröße vom Eingang 1 dem ersten Eingang des Analogschalters 3 zugeführt, der, angesteuert von einem aus der Einheit 18 ankommenden Steuersignal, diese an den Eingang der mehrstufigen Schwellenwert-Vergleichseinheit 4 durchschaltet. Die Vergleichseinheit 4 setzt die analoge Eingangsgröße in einen Parallelkode um, der vom Umsetzer 5 in einen unitären Serienkode umgesetzt wird. Über den Digitalschalter 6 gelangt der unitäre Serienkode an die Eingänge der Zähler 7 und 8. Im zweiten Takt wird der  $p$ -Kode aus dem Zähler 8 in die Einheit 10 übernommen, in welcher, angesteuert von aus der Steuereinheit 18 ankommenden Steuersignalen, die Veränderung der Darstellungsform des Kodes stattfindet. Falls eine Kodekombination dabei entsteht, bei der gestörte Stellen mit Null belegt sind, erzeugt die Einheit 12 ein Signal, das beim Eintreten in die Einheit 18 die Erzeugung von Steuersignalen unterbricht. Die Nummern gestörter Stellen werden während der metrologischen Kontrolle festgestellt. Vom Ausgang der Einheit 10 wird der Kode dem Eingang des Digital-Analog-Umsetzer 11 zugeführt. Die diesem Kode zugeordnete analoge Größe wird vom Ausgang des Digital-Analog-Umsetzers 11 an den zweiten Eingang des Verstärkers 2<sub>1</sub> gegeben, an dessen erstem Eingang die umzusetzende Eingangsgröße anliegt. Die Differenz dieser Größen  $\Delta J$  wird vom Verstärker 2<sub>1</sub>  $m$ -fach verstärkt und dem zweiten Eingang des Analogschalters 3 zugeführt. Angesteuert von einem Steuersignal aus der Einheit 18, wird die Größe  $m \cdot \Delta J$  an den Eingang der Einheit 4 durchgeschaltet. Der dieser Größe entsprechende unitäre Parallelkode wird vom Umsetzer 5 in unitären Serienkode umgesetzt, der über den Digitalschalter 6 an die Eingänge des Zählers 8 und des Zählers 7 gelangt. Damit wird das Ergebnis der Umsetzung im zweiten Takt mit dem Inhalt der Zähler 7 und 8 summiert. Während des dritten und des vierten Taktes funktioniert der Analog-Digital-Umsetzer auf die gleiche Weise, wobei der Verstärker 2<sub>2</sub> bzw. der Verstärker 2<sub>3</sub> jeweils im dritten bzw. im vierten Takt in Funktion treten.

Im weiteren wird die Funktion des Analog-Digital-Umsetzers in der Betriebsart der metrologischen Kontrolle beschrieben.

Die Kontrolle beginnt mit der Prüfung der  $(p+2)$ -ten Stelle des Analog-Digital-Umsetzers auf Übereinstimmung mit ihren metrologischen Kennwerten. Dabei wird vorausgesetzt, daß die  $(p+1)$  niedrigeren Stellen intakt sind.

Dem Eingang 1 des Analog-Digital-Umsetzers wird die stufenweise anwachsende analoge Größe zugeführt, deren  $i$ -ten Stufe zur Prüfung der  $i$ -ten Stelle herangezogen wird. Die Kontrolle einer beliebigen Stelle vollzieht sich in zwei Etappen.

Zunächst wird die Umsetzung des Stufenwertes in den Kode auf die vorstehend beschriebene Weise durchgeführt.

Anschließend wird ebenfalls die Verschlüsselung des gegebenen Stufenwertes vorgenommen, aber mit dem Unterschied, daß die höchste mit Eins belegte Stelle durch die Operation der Kodeabwicklung in der Einheit 10 eliminiert wird. So wird z. B. die Kodekombination 00100100, die eine Eins in der 6-ten Stelle (höchste mit Eins belegte Stelle) aufweist, durch die Kodekombination 00011011 ersetzt. Dabei zählt der Vor- und Rückwärtszähler 7 rückwärts. Am Ende der Umsetzung der analogen Eingangsgröße in den Kode wird im Vor-

Rückwärtszähler 7 der Kode des Fehlers der zu kontrollierenden Stelle bereitgestellt, der die Differenz zweier unterschiedlicher Darstellungsformen einer und derselben analogen Größe darstellt. Überschreitet der Kode des Fehlers die vorgegebene Größe, so wird von der digitalen Vergleichsschaltung 14 ein Signal erzeugt, das an den ersten Steuereingang der Einheit 9 zur Kodeanalyse gelangt. Von der Einheit 9 wird die Nummer der höchsten mit Eins belegten Stelle des aus dem Zähler 8 ankommenden Kodes ermittelt. Angesteuert von einem aus der Steuereinheit 18 ankommenden Signal, wird die Nummer dieser gestörten Stelle in das Register 13 übernommen.

Somit ist die metrologische Kontrolle der gegebenen Stelle zu Ende.

Die Hinzufügung neuer Baueinheiten und Kopplungen läßt die metrologische Kontrolle durch Automatisierung dieses Prozesses vereinfachen. Außerdem werden die Anforderungen an die Genauigkeit der Normgrößen vermindert, so daß deren Abweichungen in den Grenzen von

$$Q_i + 1/3 Q_{i-p} \text{ bis } Q_i + 2/3 Q_{i-p}$$

(wobei  $Q_i$  und  $Q_{i-p}$  die jeweiligen Stellengewichte der  $i$ -ten und  $(i-p)$ -ten Stelle sind) liegen können.

Es wird weiterhin die Zuverlässigkeit des Analog-Digital-Umsetzers durch die Ausschließung von  $q$  gestörten Stellen während der Verschlüsselung erhöht. Der maximale Wert von  $q$  wird aus der Beziehung ermittelt:

$$S_n - S_n^* > S_p,$$

Hierin sind:

- $S_n$  Summe von Stellengewichten sämtlicher  $n$  Kodestellen;
- $S_n^*$  maximale Zahl, die sich durch minimale Normalform mit  $n$  Stellen darstellen läßt;
- $S_p$  Summe von Stellengewichten der  $q$  gestörten Stellen.

Der letztere Umstand läßt die Herstellungsquote der Fertigerzeugnisse bei der Serienherstellung von Analog-Digital-Umsetzern als gruppenintegrierte Schaltkreise erhöhen, indem dem Umfang der Fertigerzeugnisse Umsetzer mit weniger als  $q$  gestörten Stellen hinzugefügt werden.

Am zweckmäßigsten kann der vorliegende Umsetzer bei der Messung von elektrischen Größen eingesetzt werden. Er kann außerdem in automatisierten und automatischen Steuersystemen Anwendung finden.

Hierzu 1 Blatt Zeichnungen