



Государственный комитет
С С С Р
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (61) Дополнительное к авт. свид-ву -
(22) Заявлено 04.08.80 (21) 2971246/18-21
с присоединением заявки № -
(23) Приоритет -

Опубликовано 15.05.82. Бюллетень № 18
Дата опубликования описания 15.05.82

(11) 928632

[51] М. Кл.³

Н 03 К 13/02

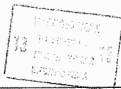
[53] УДК 681.325
(088.8)

(72) Авторы
изобретения

А.П. Стахов, А.Д. Азаров, Ю.А. Петросжк
и В.П. Волков

(71) Заявитель

Винницкий политехнический институт



(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

1

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Известен аналого-цифровой преобразователь, содержащий (К-1) усилитель, (К-1) цифро-аналоговых преобразователей, многопороговый блок сравнения, преобразователь параллельного кода, аналоговый коммутатор, первый и второй цифровые коммутаторы, преобразователь последовательного кода, счетчик, блок контроля и блок управления [1].

Недостатком такого аналого-цифрового преобразователя является зависимость погрешности линейности выходной характеристики от линейности выходной характеристики цифро-аналогового преобразователя.

Наиболее близким к предлагаемому по технической сущности является аналого-цифровой преобразователь, содержащий (К-1) усилитель, аналоговый коммутатор, многопороговый блок сравнения, блок управления, преобразователь последовательного кода, счетчик, цифровой коммутатор, реверсивный

2

- счетчик, цифровой блок сравнения, блок анализа кода, регистр, блок свертки и развертки кода, причем выход цифро-аналогового преобразователя соединен со вторым входом первого усилителя, первый вход которого соединен с первым входом аналогового коммутатора и является входом аналого-цифрового преобразователя, вход 1-го усилителя соединен с выходом (1-1)-го усилителя, выходы (К-1) усилителей соединены со вторым по К-й входами аналогового коммутатора, выход которого соединен со входом многопорогового блока сравнения, выход многопорогового блока сравнения соединен со входом преобразователя последовательного кода, выход которого соединен с информационным входом цифрового коммутатора, выходы цифрового коммутатора соединены с информационными входами реверсивного счетчика и с информационными входами счетчика, выход которого соединен с первым информационным входом блока свертки и развертки кода и информационным входом блока анализа кода, выход блока свертки и развертки кода соединен со входом цифро-аналогового преобразователя, вход блока анализа кода

соединен с информационным входом регистра, выход которого соединен со вторым информационным входом блока свертки и развертки кода, выход реверсивного счетчика соединен со входом цифрового блока сравнения и является выходом аналого-цифрового преобразователя, выход цифровой схемы сравнения соединен со вторым управляющим входом блока анализа кода, управляющие входы аналогового коммутатора, многопорогового блока сравнения, цифрового коммутатора, счетчика, блока свертки и развертки кода, регистра, реверсивного счетчика и первый управляющий вход блока анализа кода соединены соответственно с первым, вторым, третьим, четвертым, пятым, шестым, седьмым и восьмым входами блока управления [2].

Недостатком данного аналого-цифрового преобразователя является то, что линейность выходной характеристики в значительной степени зависит от погрешности линейности цифро-аналогового преобразователя.

Цель изобретения - повышение точности аналого-цифрового преобразования.

Поставленная цель достигается тем, что в аналого-цифровой преобразователь, содержащий (K-1) усилителей, первый вход первого усилителя соединен со входной шиной и с первым входом аналогового коммутатора, а вход (i+1)-го усилителя подсоединен к выходу i-го усилителя, а выходы (K-1) усилителей подключены соответственно к входам со второго по K-й аналогового коммутатора, выход которого через последовательно соединенные многопороговый блок сравнения и первый преобразователь последовательного кода подключен к первому информационному входу цифрового коммутатора, выходы которого соединены с информационными входами первого реверсивного счетчика и счетчика, выход которого через последовательно соединенные блок развертки кода и цифро-аналоговый преобразователь подключен ко второму входу первого усилителя, а первый, второй, третий, четвертый и пятый выходы блока управления соединены соответственно с управляющими входами блока развертки кода, аналогового коммутатора, многопорогового блока сравнения, цифрового коммутатора и первого реверсивного счетчика, введены блок регистров, второй и третий преобразователи последовательного кода, второй реверсивный счетчик и блок адресации, первый выход которого через последовательно соединенные второй преобразователь последовательного кода, второй реверсивный счетчик и третий преобразователь последовательного кода

подключен ко второму информационному входу цифрового коммутатора, один из входов блока адресации соединен с выходом первого реверсивного счетчика, а второй выход и другой вход соединены соответственно с входом и выходом блока регистров, при этом управляющий вход блока адресации соединен с шестым выходом блока управления, седьмой и восьмой выходы которого подключены соответственно к управляющим входам второго реверсивного счетчика и счетчика.

На чертеже представлена функциональная схема аналого-цифрового преобразователя.

Аналого-цифровой преобразователь содержит входную шину 1, (K-1) усилителей 2, аналоговый коммутатор 3, многопороговый блок 4 сравнения, преобразователь 5 последовательного кода, цифровой коммутатор 6, счетчик 7, реверсивный счетчик 8, блок 9 развертки кода, цифро-аналоговый преобразователь 10, блок 11 регистров, блок 12 адресации, второй реверсивный счетчик 13, второй 14 и третий 15 преобразователи последовательного кода, блок 16 управления.

Аналого-цифровой преобразователь работает в следующих режимах: режиме проверки и режиме непосредственного преобразования аналоговой величины в код "золотой" r-пропорции.

Процесс преобразования входной аналоговой величины в n-разрядный код "золотой" r-пропорции происходит за (K+1) циклов. В каждом из K циклов формируется m разрядов кода и производится вычисление погрешности линейности. В (K+1)-м цикле происходит цифровая коррекция результата преобразования.

В режиме проверки определяются коды погрешностей линейности выходной характеристики аналого-цифрового преобразователя.

В коде "золотой" r-пропорции любое действительное число D представляется в виде

$$D = \sum_{p=0}^{\infty} a_p r^p,$$

где $a_p \in \{0; 1\}$

a_p - вес p-го разряда;

$p = 0, 1, 2, \dots$

Имеется множество представлений данного вида, среди которых существует единственная минимальная форма, для которой после каждой единицы следует не менее p нулей.

Вес разрядов кода связаны между собой рекуррентным соотношением

$$d_p^r = d_{p-1}^{r-1} + d_p^{r-1},$$

которое лежит в основе операции свертки и развертки разрядов кода. Свертка заключается в замене нуля в

I-и и единиц в (I-1)-и и (I-p-1)-и разрядах их отрицаниями. Развертка является операцией, обратной свертке, и состоит в замене единицы I-го разряда и нулей (I-1)-го и (I-p-1)-го разрядов их отрицаниями. Особенность этих операций состоит в том, что они не изменяют величины отображаемого кодом числа, а изменяют лишь форму представления кода.

В режиме преобразования входной аналоговой величины в код "золотой" р-пропорции устройство работает следующим образом.

В первом цикле входная аналоговая величина со входной шины 1 подается на первый вход аналогового коммутатора 3, который под действием управляющего сигнала, поступающего из блока 16 управления, передает ее на вход многопорогового блока сравнения 4, который преобразует входную аналоговую величину в параллельный код, который преобразуется в последовательный унитарный код преобразователем 5 последовательного кода. Последовательный унитарный код через цифровой коммутатор 6 поступает на первые входы счетчика 7 и реверсивного счетчика 8. По команде из блока 16 управления блок 12 адресации производит последовательную выборку из блока 11 регистров, в котором хранятся коды погрешностей весов разрядов цифроаналогового преобразователя 10. Выбранные коды погрешностей, соответствующие кодовой комбинации, полученной на первом цикле преобразования, преобразуются вторым преобразователем 14 последовательного кода в последовательный унитарный код, с его выхода последовательный унитарный код поступает на вход второго реверсивного счетчика 13, в котором формируется результирующий код поправки, соответствующий первому циклу преобразования. На этом первый цикл преобразования заканчивается.

Во втором цикле "золотой" р-код из счетчика 7 передается в блок 9 развертки кода, с его выхода кодовая комбинация поступает на вход цифроаналогового преобразователя 10. Аналоговый эквивалент входной кодовой комбинации с выхода цифроаналогового преобразователя 10 поступает на второй вход усилителя 2-1, на первый вход которого подана входная преобразуемая величина. Разность этих величин Δ усиливается усилителем 2-1 в μ раз и подается на второй вход аналогового коммутатора 3. По команде из блока 16 управления величина $\Delta \cdot \mu$ передается на вход многопорогового блока 4 сравнения. Параллельный унитарный код, соответствующий этой величине, преобразуется преобразователь 5 последовательного кода в после-

довательный унитарный код, который передается через цифровой коммутатор 6 на вторые входы счетчика 7 и первого реверсивного счетчика 8, тем самым к их содержимому добавляется результат преобразования второго цикла. По команде блока 16 управления блок 12 адресации производит последовательную выборку из блока 11 регистров кодов погрешностей, соответствующих кодовой комбинации, полученной во втором цикле преобразования. Выбранные коды погрешностей преобразуются в последовательный унитарный код во втором преобразователе 14 последовательного кода и поступают на вход второго реверсивного счетчика 13, в котором формируется суммарный код поправки первого и второго цикла преобразования. На этом второй цикл преобразования заканчивается.

Третий и четвертый циклы преобразования осуществляются аналогичным образом, причем в работу включаются усилитель 2-2 и усилитель 2-3 соответственно в третьем и четвертом циклах.

В К-том цикле преобразования по команде из блока 16 управления результирующий код поправки, формирующийся за (K-1) цикл преобразования, с выхода второго реверсивного счетчика 13 поступает на вход третьего преобразователя 15 последовательного кода, преобразованная кодовая комбинация через цифровой коммутатор 6 передается на входы первого реверсивного счетчика 8. Таким образом по окончании К-го цикла преобразований в первом реверсивном счетчике 8 формируется скорректированный цифровой эквивалент входной аналоговой величины.

Режим метрологического контроля линейности выходной характеристики аналого-цифрового преобразователя заключается в определении кодов отклонений весов разрядов от требуемых значений. Процесс контроля начинается с (p+2)-го разряда цифроаналогового преобразователя при условии, что (p+1) младших разрядов точные.

На входную шину 1 аналого-цифрового преобразователя подается ступенчато нарастающая аналоговая величина, i-я ступень которой используется для проверки i-го разряда. Процесс контроля любого разряда состоит из трех этапов.

На первом этапе производится преобразование величины i-й ступени в код описанным способом. При этом за К циклов преобразования во втором реверсивном счетчике 13 формируется результирующий код поправки, учитывающий погрешности (i-1) младших разрядов. Таким образом, после (K+1)-го цикла преобразования (цифровая коррек-

ция) в первом реверсивном счетчике 8 получают цифровой эквивалент входной аналоговой величины с погрешностью, равной погрешности 1-го разряда.

На втором этапе также происходит кодирование величины данной ступени с той лишь разницей, что старший значащий разряд кода исключается путем выполнения операции развертки кода в блоке 9. При этом первый реверсивный счетчик 8 работает в режиме вычитания. Одновременно во втором реверсивном счетчике 13 формируется код поправки по содержанию блока 9. На (K+1)-м цикле преобразования содержимое второго реверсивного счетчика 13 преобразуется третьим преобразователем последовательного кода 15 в последовательный унитарный код и через цифровой коммутатор 6 передается на входы первого реверсивного счетчика 8, который работает в режиме вычитания. В результате в первом реверсивном счетчике 8 формируется код погрешности 1-го разряда аналого-цифрового преобразователя.

На третьем этапе блок 12 адресации производит запись содержимого первого реверсивного счетчика 8 в блок 11 регистров по соответствующему адресу.

На этом процесс метрологического контроля данного разряда заканчивается.

Введение новых блоков и связей позволяет существенно (в 100 и более раз) снизить требования к погрешности линейности цифро-аналогового преобразователя.

Максимальное значение погрешности линейности цифро-аналогового преобразователя, которое может быть скорректировано в данном устройстве, определяется выражением

$$\sigma_{p \max}^0 \approx d_p^{-1} - d_p^{p-1}$$

При $p=1$ $\sigma_{1 \max}^0 \approx 0,236$ (23,6%).

Это позволяет проектировать высоколинейные аналого-цифровые преобразователи при использовании дешевых цифро-аналоговых преобразователей, обладающих значительной погрешностью линейности. Погрешность линейности такого аналого-цифрового преобразователя не превышает значения

$$\Delta_A = \frac{q(m + \sqrt{m} d_p^p t d_p^{p-1})}{D}$$

где q - вес младшего разряда аналого-цифрового преобразователя; m - требуемое число корректируемых разрядов, зависящее от погрешности линейности цифро-аналогового преобразователя; D - диапазон представления чисел.

При $m = 10$, $p = 20$, $r = 1$, $q = 1$

0,06%.

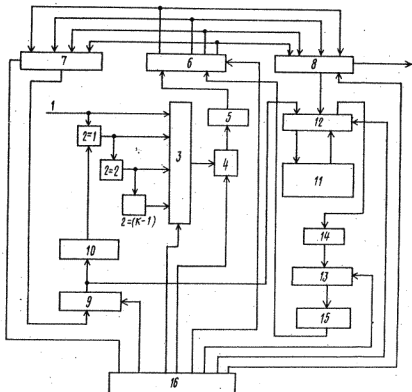
$$\Delta_A = \frac{1 \cdot (0 + \sqrt{10} \cdot 1,618^{20})}{24463} \approx 0,06\%$$

Формула изобретения

Аналого-цифровой преобразователь, содержащий (K-1) усилителей, первый вход первого усилителя соединен с входной шиной и с первым входом аналогового коммутатора, а вход (i+1)-го усилителя подсоединен к выходу i-го усилителя, а выходы (K-1) усилителей подключены соответственно к входам со второго по K-й аналогового коммутатора, выход которого через последовательно соединенные многопороговый блок сравнения и первый преобразователь последовательного кода подключен к первому информационному входу цифрового коммутатора, выходы которого соединены с информационными входами первого реверсивного счетчика и счетчика, выход которого через последовательно соединенные блок развертки кода и цифро-аналоговый преобразователь подключен к второму входу первого усилителя, а первый, второй, третий, четвертый и пятый выходы блока управления соединены соответственно с управляющими входами блока развертки кода, аналогового коммутатора, многопорогового блока сравнения, цифрового коммутатора и первого реверсивного счетчика, от л и ч а ю щ и я с я тем, что, с целью повышения точности аналого-цифрового преобразования, введены блок регистров, второй и третий преобразователи последовательного кода, второй реверсивный счетчик и блок адресации, первый выход которого через последовательно соединенные второй преобразователь последовательного кода, второй реверсивный счетчик и третий преобразователь последовательного кода подключен к второму информационному входу цифрового коммутатора, один из входов блока адресации соединен с выходом первого реверсивного счетчика, а второй выход и другой вход соединены соответственно с входом и выходом блока регистров, при этом управляющий вход блока адресации соединен с шестым выходом блока управления, седьмой и восьмой выходы которого подключены соответственно к управляющим входам второго реверсивного счетчика и счетчика.

Источники информации,

- принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 750721, кл. H 03 K 13/02, 31.01.78.
 2. Авторское свидетельство СССР, по заявке № 2716506/21, кл. H 03 K 13/02, 22.01.79.



Редактор Т.Веселова Составитель Л.Беллева Техред М. Надь Корректор Е.Рошко

Заказ 3283/75 Тираж 954 Подписное
 ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., 4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4