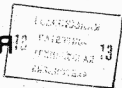




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3405856/18-21  
(22) 01.03.82  
(46) 07.07.83. Бюл. № 25  
(72) А. П. Стахов, В. И. Моисеев,  
А. Д. Азаров и В. Я. Стейскал  
(71) Винницкий политехнический институт  
(53) 681.325(088.8)  
(56) 1. Авторское свидетельство СССР  
№ 379979, кл. Н 03 К 13/17, 1971.  
2. Авторское свидетельство СССР  
№ 788372, кл. Н 03 К 13/02, 1980  
(прототип).

(54) (57) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ, содержащий блок управления, цифро-аналоговый преобразователь, блок развертки кода, первый блок элементов И по числу разрядов, первый блок элементов ИЛИ по числу разрядов, блок определения знака, элемент сравнения, первый вход которого подключен к входной шине аналого-цифрового преобразователя, второй вход элемента сравнения соединен с выходом цифро-аналогового преобразователя, а выход соединен с первым входом блока управления, первый выход блока управления соединен с первым входом блока развертки кода, выход которого соединен с входом цифро-аналогового преобразователя, первым входом первого блока элементов И, первым входом первого блока элементов ИЛИ, о т л и ч а ю щ и й с я тем, что, с целью повышения точности преобразования, в него введены блок свертки-развертки кода, блок памяти, блок обращения кода, второй блок элементов И по числу разрядов, второй блок элементов ИЛИ по числу разрядов, выход которо-

го соединен с первым входом блока свертки-развертки кода, с первым входом блока обращения кода, с вторым входом блока управления, первый вход соединен с выходом блока свертки-развертки кода, выходной шиной, вторыми входами первого блока элементов И и первого блока элементов ИЛИ, первыми входами блока определения знака и второго блока элементов И, второй вход - с вторыми входами блока свертки-развертки кода, второго блока элементов И, блока определения знака и выходом блока обращения кода, второй вход которого соединен с выходом второго блока элементов И, третьими входами блока свертки-развертки кода и блока управления, третий вход - с вторым выходом блока управления, четвертый выход - с первым входом первого блока элементов ИЛИ и четвертым входом блока свертки-развертки кода, пятый вход - с четвертым входом управления и выходом блока памяти, первый вход которого соединен с выходом блока определения знака и пятым входом блока управления, второй вход - с выходом первого блока элементов ИЛИ, третий вход - с третьим выходом блока управления, четвертый выход которого соединен с пятым входом блока свертки-развертки кода, шестой вход которого соединен с выходом первого блока элементов ИЛИ, вторым входом блока развертки кода и шестым входом блока управления, пятый выход которого соединен с третьим входом блока определения знака.

Изобретение относится к цифровой измерительной технике и используется для преобразования аналоговых величин в цифровые.

Известен преобразователь напряжения в код с системой самоконтроля и автокоррекции нуля, содержащий нулевой орган, преобразователь код-напряжение, регистр, ключи, триггеры, элементы И, ИЛИ, НЕ [1].

Недостатком преобразователя является низкая точность преобразования.

Известен аналого-цифровой преобразователь, содержащий блок управления, цифро-аналоговый преобразователь, блок развертки кода, блок приведения кода к минимальной форме, блок элементов И по числу разрядов кода, блок элементов ИЛИ по числу разрядов кода, блок определения знака, элемент сравнения, первый вход которого подключен к входной шине аналого-цифрового преобразователя, второй вход соединен с выходом цифро-аналогового преобразователя, а выход соединен с первым входом блока управления, причем первый вход блока управления соединен с первым входом первого блока развертки кода, выход которого соединен с входом цифро-аналогового преобразователя, входом блока определения знака, первым входом блока элементов И, первым входом блока элементов ИЛИ и первым входом второго блока развертки кода, второй выход блока управления соединен с вторым входом второго блока развертки кода, выход которого соединен с третьим входом второго блока развертки кода, вторым входом первого блока развертки кода и вторым входом блока управления, выход блока элементов ИЛИ соединен с информационным входом блока приведения кода к минимальной форме, третий выход блока управления соединен с управляющим входом блока приведения к минимальной форме, выход которого соединен с первой выходной шиной, выход блока определения знака подключен к второй выходной шине [2].

Недостатком преобразователя является низкая точность преобразования.

Цель изобретения - повышение точности преобразования аналого-цифрового преобразователя.

Поставленная цель достигается тем, что в аналого-цифровой преобразователь, содержащий блок управления, цифро-аналоговый преобразователь, блок развертки кода, первый блок элементов И по числу разрядов кода, первый блок элементов ИЛИ по числу разрядов кода, блок определения знака, элемент сравнения, первый вход которого подключен к входной шине аналого-цифрового преобразователя, второй вход элемента сравнения соединен с выходом цифро-аналогового преобразователя, а выход соединен с первым входом блока управления, причем первый выход блока управления соединен с первым входом блока развертки кода, выход которого соединен с входом цифро-аналогового преобразователя, первым входом первого блока элементов И, первым входом первого блока элементов ИЛИ, введены блок свертки-развертки, блок памяти, блок обращения кода, второй блок элементов И по числу разрядов, второй блок элементов ИЛИ по числу разрядов, выход которого соединен с первым входом блока свертки-развертки кода, с первым входом блока обращения кода и вторым входом блока управления, первый вход соединен с выходом блока свертки-развертки кода, выходной шиной, вторыми входами первого блока элементов И и первого блока элементов ИЛИ, первыми входами блока определения знака и второго блока элементов И, второй вход - с вторыми входами блока свертки-развертки кода, второго блока элементов И, блока определения знака и выходом блока обращения кода, второй вход которого соединен с выходом второго блока элементов И, третьими входами блока свертки-развертки кода и блока управления, третий вход - с вторым выходом блока управления, четвертый вход - с первым входом первого блока элементов ИЛИ и четвертым входом блока свертки-развертки кода, пятый вход - с четвертым входом управления и выходом блока памяти, первый вход которого соединен с выходом блока определения знака и пятым входом блока управления, второй - с выходом первого блока элементов ИЛИ, третий вход - с третьим выходом блока управления, четвер-

тый выход которого соединен с пятым входом блока свертки-развертки кода, шестой вход которого соединен с выходом первого блока элементов ИЛИ, вторым входом блока развертки кода и шестым входом блока управления, пятый выход которого соединен с третьим входом блока определения знака.

На чертеже представлена функциональная электрическая схема аналого-цифрового преобразователя.

Устройство содержит входную шину 1 преобразователя, элемент 2 сравнения, цифро-аналоговый преобразователь 3, блок 4 развертки кода, блок 5 управления, блок 6 определения знака, первый блок 7 элементов И, первый блок 8 элементов ИЛИ, блок 9 свертки-развертки кода, блок 10 памяти, блок 11 обращения кода, второй блок 12 элементов И, второй блок 13 элементов ИЛИ, выходная шина 14 аналого-цифрового преобразователя.

Входная шина 1 аналого-цифрового преобразователя соединена с первым входом элемента 2 сравнения, второй вход которого соединен с выходом цифро-аналогового преобразователя 3. Выход элемента 2 сравнения соединен с первым входом блока 5 управления, обеспечивающего функционирование предлагаемого устройства. Первый выход блока 5 управления соединен с первым входом первого блока развертки кода, осуществляющего операцию развертки кода. Выход блока 4 развертки кода соединен с входом цифро-аналогового преобразователя 3, первым входом первого блока 7 элементов И, первым входом первого блока 8 элементов ИЛИ, вторым входом блока 9 свертки-развертки, осуществляющего операции развертки и приведения кода к минимальной форме и четвертым входом блока 11 обращения кода. Выход блока 9 свертки-развертки соединен с вторым входом первого блока 8 элементов ИЛИ, вторым входом первого блока 7 элементов И, осуществляющего функцию выделения совпадений единичных состояний разрядов блока 4 развертки кода и блока 9 свертки-развертки кода, первым входом второго блока 12 элементов И, первым входом второго блока 13 элементов ИЛИ. Выход первого блока 7 элементов И соединен с первым входом блока 9 свертки-развертки кода, вторым входом блока 4 развертки кода и со вторым входом блока 5 управления. Выход первого блока 8

элементов ИЛИ, служащего для объединения выходов блока 4 развертки кода и блока 9 свертки-развертки кода, соединен с первым входом блока 10 памяти, который хранит погрешности разрядов цифро-аналогового преобразователя, второй вход которого соединен с выходом блока 6 определения знака, выполняющего функции определения знака погрешности. Выход блока 10 памяти соединен шестым входом блока 5 управления, с пятым входом блока 11 обращения кода, осуществляющего операцию обращения кода. Выход блока 11 обращения кода соединен с четвертым входом блока 9 свертки-развертки, третьим входом блока 6 определения знака, вторым входом второго блока 12 элементов И, вторым входом второго блока 13 элементов ИЛИ, причем первый вход соединен с выходом второго блока 12 элементов И, осуществляющего функции выделения совпадений единичных состояний разрядов блока 9 свертки-развертки кода и блока 11 обращения кода, второй вход соединен с выходом второго блока 13 элементов ИЛИ, осуществляющего функции выделения появлений единичных состояний разрядов блока 9 свертки-развертки или блока 11 обращения кода, третий вход соединен с четвертым выходом блока 5 управления, четвертый выход которого соединен с третьим входом блока 10 памяти, а третий вход соединен с выходом блока 6 определения знака. Выходом блока 9 свертки-развертки является выходная шина 14 аналого-цифрового преобразователя.

Аналого-цифровой преобразователь работает в режиме метрологического контроля и непосредственного преобразования аналоговой величины в цифровой код с коррекцией.

Метрологический контроль аналого-цифрового преобразователя осуществляется на основе сравнения различных кодовых представлений, соответствующих одному и тому же значению входной аналоговой величины в минимальной форме и производится для определения линейности выходной характеристики АЦП. Он осуществляется за четыре цикла путем подачи на вход ступенчато нарастающей аналоговой величины, число ступеней которой должно соответствовать числу разрядов выходного кода, причем  $i$ -я ступенчатая величина должна соответствовать значению  $i$ -го разряда выходного кода.

пень используется для контроля i-го разряда АЦП.

В первом цикле происходит поразрядное преобразование входной аналоговой величины, подаваемой на вход, в цифровой код. В этом цикле участвуют следующие блоки: элемент 2 сравнения, ЦАП 3, блок 5 управления и блок 4 развертки кода, функционирующий в данном случае как регистр. Номер старшего значащего разряда кодовой комбинации, сформированной в процессе поразрядного преобразования в блоке 4 развертки кода, совпадает с номером проверяемого разряда АЦП.

Во втором цикле происходит перепись кодовой комбинации из первого блока 4 развертки кода в блок 9 свертки-развертки кода, который функционирует в данном случае как регистр, и установка нулевого состояния блока 4 развертки кода. Затем происходит процесс поразрядного преобразования входной аналоговой величины, подаваемой на вход, до момента совпадения старшего значащего разряда кода, формируемого в блоке 4 развертки кода, и старшего значащего разряда кода, сформированного в первом цикле. При наличии такого совпадения первый блок 7 элементов ИИ выработывает сигнал, по которому старший значащий разряд кода, формируемого в блоке 4 развертки кода, устанавливается в нулевое состояние. Дальнейшее кодирование входной аналоговой величины происходит при помощи оставшихся младших разрядов, причем, установка в нулевое состояние совпадающих значащих разрядов не производится. По окончании второго цикла входная аналоговая величина представлена двумя различными кодовыми комбинациями. В третьем цикле обеспечивается получение разности этих кодовых комбинаций. В случае отклонения веса проверяемого разряда АЦП от требуемого значения, эта разность представляет собой код погрешности этого разряда. При полном соответствии весов разрядов АЦП своим метрологическим характеристикам, разность кодовых комбинаций будет нулевой. В формировании разности кодовых комбинаций участвуют блок 4 развертки кода, первый блок 7 элементов ИИ, блок 9 свертки-развертки кода и блок 5 управления. Выполнение данной опе-

рации производится путем развертки кодовых комбинаций в блоке 4 развертки кода и блоке 9 свертки-развертки кода и установки в нулевое состояние совпадающих значащих разрядов кодов, причем при выполнении операции развертки, установка в нулевое состояние совпадающих разрядов не производится. Указанный процесс происходит до появления нулевой кодовой комбинации хотя бы в одном из блоков развертки кода. Признаком появления нулевой кодовой комбинации является отсутствие сигналов совпадений значащих разрядов кодов, поступающих с выхода первого блока 7 элементов ИИ.

Определение знака кода погрешности производится анализом состояния блока 9 свертки-развертки кода блоком 6 определения знака, причем знак "1" будет соответствовать нулевому коду, а знак "-" - ненулевому коду.

В четвертом цикле производится занесение кода погрешности, сформированного в одном из блоков 4 развертки кода или блока 9 свертки-развертки кода; через первый блок 8 элементов ИЛИ в блок 10 памяти со знаком.

В режиме непосредственного преобразования аналоговой величины в код с коррекцией одновременно с кодированием происходит алгебраическое суммирование погрешностей значащих разрядов формируемой кодовой комбинации, при этом код погрешности из блока 10 памяти переписывается в блок 11 обращения кода, который производит, если знак погрешности отрицательный, операцию обращения кода и получение дополнительного кода и выполняет функцию регистра при суммировании кодовых комбинаций, находящихся в блоке 9 свертки-развертки кода и блоке 11 обращения кода, причем суммирование осуществляется следующим образом.

При наличии каждого разряда выходного сигнала с блока 13 элементов ИЛИ и отсутствия сигнала с блока 12 элементов ИИ, в данный разряд блока 9 свертки-развертки кода записывается единица и происходит операция приведения кода к минимальной форме, причем, если при этом содержимое блока 11 обращения кода станет нулевым, блок 6 определения знака выработает сигнал, кото-

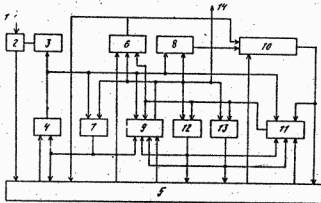
рый является признаком окончания суммирования, если же после выполнения операции приведения кода к минимальной форме кодовая последовательность в блоке 11 обращения кода не станет нулевой, то в блоке 9 свертки-развертки кода происходит один такт развертки кода, после чего произойдет аналогичное суммирование кодовых комбинаций, находящихся в блоке 11 обращения кода и в блоке 9 свертки-развертки кода.

По окончании непосредственного преобразования аналоговой величины в код происходит перезапись кодовой комбинации, находящейся в блоке 4 развертки кода и представляющей собой результат кодирования без коррекции, в блок 11 обращения

кода и суммирования этой кодовой комбинации с кодовой комбинацией, находящейся в блоке 9 свертки-развертки и представляющей собой сумму погрешностей всех включенных разрядов, причем суммирование происходит аналогично суммированию погрешностей, описанному выше.

Во всех режимах управление функционированием блоков, которые в совокупности обеспечивают процесс по-разрядного кодирования, осуществляется блоком 5 управления.

Введение новых блоков и связей позволяет выполнять цифровую коррекцию погрешностей линейности выходной характеристики аналого-цифрового преобразователя, что повышает точность преобразования.



Составитель А. Кузнецов

Редактор А.Власенко

Техред И.Гайду

Корректор В. Гирняк

Заказ 4754/58

Тираж 936

Подписное

ВНИИИ Государственного комитета СССР  
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4