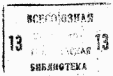




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3745021/24-24

(22) 18.04.84

(46) 07.12.85. Всл. № 45

(72) А.П.Стахов, А.Д.Азаров,

В.П.Волков и В.Я.Стейскал

(53) 681.325(088.8)

(56) Швейцарский Б.И. Электронные цифровые приборы. Киев, Техника, 1981, с. 52.

Шляндин В.М. Цифровые электронизмерительные приборы. М.: Энергия, 1972, с. 189.

(54)(57) 1. АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ, содержащий первый, второй и третий запоминающие конденсаторы, усилитель, первый и второй блоки ключевых элементов, источник опорного напряжения, ключевой элемент, блок сравнения, блок управления, первый вход которого является шиной "Запуск", первый выход подключен к управляющему входу ключевого элемента, информационный вход которого подключен к первому выводу источника опорного напряжения, второй выход которого подключен к первому информационному входу первого блока ключевых элементов и первому выводу второго запоминающего конденсатора, второй выход которого подключен к выводу ключевого элемента и объединен с вторым информационным входом первого блока ключевых элементов, управляющий вход которого подключен к второму

выходу блока управления, первый выход подключен к первому информационному входу второго блока ключевых элементов и первому выводу третьего запоминающего конденсатора, второй выход которого подключен к второму выводу первого блока ключевых элементов и объединен с вторым информационным входом второго блока ключевых элементов, выход подключен к входу усилителя, который через первый запоминающий конденсатор подключен к общей шине, выход усилителя подключен к третьему информационному входу второго блока ключевых элементов и к входу блока сравнения, отличающийся тем, что, с целью повышения достоверности преобразования, введены регистр сдвига, блок контроля, счетчик, аналоговый коммутатор, первый информационный вход которого является аналоговой входной шиной устройства, второй информационный вход подключен к общей шине, выход подключен к входу усилителя, первый и второй управляющие входы подключены соответственно к третьему и четвертому выходам блока управления, пятый и шестой выходы которого подключены соответственно к первому и второму управляющим входам второго блока ключевых элементов, седьмой и восьмой выходы подключены соответственно к первому и второму управляющим входам регистра сдвига, информационный вход которого объединен с вторым входом блока управления и подключен к выводу блока сравнения, и выходов регистра сдви-

(19) **SU** (11) **1197079** **A**

га, где n - количество разрядов преобразователя, являются выходными информационными шинами устройства, а первый, второй и третий выходы подключены соответственно к первому, второму и третьему входам блока контроля, выход которого является первой выходной контрольной шиной и подключен к третьему входу блока управления, девятый и десятый выходы которого подключены соответственно к первому и второму входам счетчика, выход которого является второй выходной контрольной шиной устройства и подключен к четвертому входу блока управления, одиннадцатый выход которого является шиной "Конец преобразования".

2. Преобразователь по п. 1, отличающийся тем, что блок управления выполнен на постоянном запоминающем устройстве, регистре, генераторе тактовых импульсов, коммутаторе, дешифраторе, первом и втором счетчиках, мультиплексоре, первом, второй, третий и четвертый информационные входы которого являются соответственно первым, вторым, третьим и четвертым входами блока управления, пятый информационный вход подключен к выходу первого счетчика, шестой и седьмой информационные входы подключены соответственно к первому и второму выходам второго счетчика, выход подключен к управляемому входу коммутатора, первый, второй и третий управляющие входы подключены соот-

ветственно к первому, второму и третьему выходам регистра, выходы с четвертого по четырнадцатый которого подключены к соответствующим информационным входам дешифратора, выходы с пятнадцатого по девятнадцатый подключены к соответствующим первым информационным входам коммутатора, выходы с двадцатого по двадцать четвертый подключены к соответствующим вторым информационным входам коммутатора, выходы которого подключены к соответствующим входам постоянного запоминающего устройства, выходы которого подключены к соответствующим информационным входам регистра, управляющий вход которого подключен к выходу генератора тактовых импульсов, при этом первый и второй управляющие входы дешифратора подключены к шине нулевого потенциала, первый, второй, третий и четвертый выходы подключены соответственно к первому, второму, третьему и четвертому входам первого счетчика, пятый и шестой выходы подключены соответственно к первому и второму входам второго счетчика, седьмой, восьмой, девятый, десятый, одиннадцатый, двенадцатый, тринадцатый, четырнадцатый, пятнадцатый, шестнадцатый и семнадцатый выходы являются соответственно третьим, четвертым, пятым, шестым, первым, вторым, седьмым, восьмым, девятым, десятым и одиннадцатым выходами блока управления, причем пятый вход первого счетчика объединен с четвертым входом мультиплексора.

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение достоверности аналого-цифрового преобразования.

На фиг. 1 представлена структурная схема аналого-цифрового преобразователя; на фиг. 2 - функциональ-

ная схема блока контроля; на фиг. 3 и 4 - алгоритм работы аналого-цифрового преобразователя; на фиг. 5 - закодированный граф микропрограммы работы устройства; на фиг. 6 - функциональная схема блока управления; на фиг. 7 и 8 - функциональные схемы первого и второго блоков ключевых элементов.

Аналого-цифровой преобразователь (фиг. 1) содержит аналоговую входную

ет суммированию эталонного уровня $U_{Э1}$ и преобразуемого напряжения U_1 в следующем такте преобразования, а значение $\alpha_1 = 1 - \text{вычитанию}$ эталонного уровня $U_{Э1}$ и преобразуемого напряжения U_1 . Полученное значение разрядного коэффициента α_1 заносится в регистр 12 сдвига. На этом первый такт преобразования заканчивается.

На втором такте в соответствии с соотношением (2) формируется напряжение U_2 на первом запоминающем конденсаторе 3 с помощью усилителя 4, запоминающего конденсатора 10, второго блока 11 ключевых элементов и блока 18 управления. По команде блока 18 управления конденсатор 10 включается через второй блок 11 ключевых элементов в цепь обратной связи усилителя 4 таким образом, чтобы обеспечивалась подача напряжения $U_{Э1}$ обратной полярности на конденсатор 3. В результате на конденсаторе 3 сформируется напряжение $U_2 = U_1 - \alpha_1 U_{Э1}$. Напряжение U_2 с выхода усилителя 4 поступает на вход блока 5 сравнения. На выходе блока 5 в соответствии с условием (2) формируется значение второго разрядного коэффициента α_2 , которое записывается в регистр 12 сдвига. Затем с помощью блока 18 управления, запоминающих конденсаторов 8 и 10, первого блока 9 ключевых элементов формируется второй эталонный уровень $U_{Э2} = \frac{U_{Э1}}{\alpha_1}$. По команде блока 18 управления первый блок 9 ключевых элементов включает запоминающие конденсаторы 8 и 10 параллельно. В результате происходит перераспределение заряда между конденсаторами 8 и 10 таким образом, что на них установится напряжение второго эталонного уровня $U_{Э2} = \frac{U_{Э1}}{\alpha_1}$. На этом второй такт преобразования заканчивается. В остальных $(n - 2)$ тактах устройства работает аналогичным образом. При этом для правильной работы устройства необходимо выполнение условий

$$\begin{cases} C3 = C10 \\ C10 = C8 (\alpha_1' - 1) \end{cases} \quad (4)$$

Пример преобразования входной аналоговой величины $A_x = 10$ в 6-

разрядный код "золотой" I пропорции приведен в табл. 1.

- Погрешность линейности устройства зависит от смещения нуля усилителя 4 и блока 5 сравнения, точности выполнения условия (4). Указанные составляющие меняются с течением времени и под воздействием условий внешней среды, что приводит к увеличению погрешности линейности. Последнее обстоятельство эквивалентно формированию эталонных уровней $U_{Э1}$ с некоторыми отклонениями. При этом значения абсолютных погрешностей для старших разрядов будет больше, а для младших - малы. В процессе метрологического контроля определяется граница между "точными" и "неточными" разрядами. Метрологический контроль линейности выходной характеристики проводится начиная с $(p + 2)$ -го разряда. Разряды с номерами меньшими $p + 2$ считаются "точными". Процедура контроля заключается в $(n - p - 1)$ -кратном кодировании эталонного вспомогательного сигнала $A_{Э1}$, значение которого равно 0. В процессе любого $\{$ -го кодирования вспомогательный сигнал $A_{Э1} = 0$ преобразуется в $(p + 1 + \{)$ -разрядный код путем последовательного сравнения и алгебраического суммирования его с набором из $p + 1 + \{$ эталонных уровней. Признаком наличия отклонений весов разрядов преобразователя является нарушение соотношения (1), что приводит к появлению в процессе кодирования запрещенных кодовых комбинаций. Разрешенными, например, для кода "золотой" I пропорции, являются кодовые комбинации, состоящие из триад разрядов вида $\bar{1}11$ или $1\bar{1}\bar{1}$. Невыполнение указанного условия в процессе $\{$ -го кодирования является признаком того, что погрешность преобразования превысила заданную величину. В каждом следующем кодировании число эталонных уровней, участвующих в преобразовании, увеличивается на единицу.

В режиме метрологического контроля устройство работает следующим образом.

- 55 По команде блока 18 управления запоминающий конденсатор 8 заряжается через ключевой элемент 7 от источника 6 опорного напряжения до

напряжения $U_{311} = U_{оп}$. Затем с помощью блоков 9 и 11 ключевых элементов, усилителя 4, запоминающих конденсаторов 8, 10 и 3 и блока 18 управления формируется $(n-p-2)$ -й

эталонный уровень $U_{311-p-2} = \frac{U_{оп}}{\alpha^{n-p-2}}$.

Процесс формирования эталонного уровня $U_{311-p-2}$ заключается в следующем. По команде блока 18 управления первый блок 9 ключевых элементов включает конденсаторы 8 и 10 параллельно. В результате, на них установится напряжение $U_{311} = \frac{U_{оп}}{\alpha^p}$.

Затем второй блок 11 ключевых элементов включает конденсатор 10 в цепь обратной связи усилителя 4. Заряд конденсатора 10 полностью передается на запоминающий конденсатор 3. После этого первый блок 9 ключевых элементов снова включает конденсаторы 8 и 10 параллельно. В результате, на них установится напряжение

$U_{313} = \frac{U_{оп}}{\alpha^p}$. Указанная процедура повторяется $(n-p-3)$ раз, пока на запоминающем конденсаторе 10 не установится напряжение $(n-p-2)$ -го эталонного уровня $U_{311-p-2} = \frac{U_{оп}}{\alpha^{n-p-2}}$. Затем по команде блока 18 управления на запоминающий конденсатор 3 через второй вход аналогового коммутатора 2 подается эталонный вспомогательный сигнал $A_{311} = 0$. В результате, конденсатор 3 заряжается до напряжения $U_1 = 0$. Блок 18 управления генерирует набор команд, обеспечивающих преобразование U_1 в $(p+2)$ -разрядный код способом, описанным выше. Полученный в результате преобразования код анализируется блоком 14 контроля, который реализует логическую функцию $f_p(a_i)$. При параметре кода "золотой" пропорции $p = 1$ указанная функция имеет вид

$$f_1(a_i) = a_i \cdot \bar{a}_{i+1} \cdot \bar{a}_{i+2} + \bar{a}_i \cdot a_{i+1} \cdot a_{i+2}$$

Функция $f_1(a_i)$ принимает значение "1" только на разрешенных наборах аргументов вида $1 \bar{1} \bar{1}$ или $\bar{1} 1 1$. Блок 14 контроля по мере формирования разрядов выходного кода в сдвиговом регистре 12 каждые три такта опрашивается блоком 18 управления, выходной сигнал блока 14 $f_1(a_i) \neq 1$ соответствует сигналу "расстройка"

преобразования. Так как аргументами функции $f_1(a_i)$ являются три переменных, то число p_k контролируемых разрядов выходного кода, формируемого в режиме контроля, должно быть кратно трем $p_k = 3i$. Погрешность квантования данного класса аналого-цифровых преобразователей составляет ± 1 младшего разряда,

что позволяет проводить метрологический контроль с точностью ± 1 младший квант. Поэтому, если число тактов преобразования соответствует разрядности выходного кода $p = 3i + 1$, то сигнал контроля формируется в результате анализа $p_k = 3i$ старших разрядов кода без учета значения младшего разряда. Если число тактов преобразования

соответствует разрядности выходного кода $p_k = 3i + 3$, то сигнал контроля формируется в результате анализа $p_k = 3i + 3$ разрядов кода, значение младшего $(3i + 3)$ -го разряда которой повторяет значение $(3i + 2)$ -го разряда, полученного на последнем такте кодирования. На этом процедура контроля $(p + 2)$ -го разряда заканчивается.

Контроль $(p + 3)$ -го разряда преобразователя начинается с формирования $(n-p+3)$ -го эталонного уровня $U_{311-p-3} = \frac{U_{оп}}{\alpha^{n-p-3}}$. Затем вспомогатель-

ный аналоговый сигнал $A_{311} = 0$ преобразуется в $(p + 3)$ -разрядный код, который анализируется блоком 14 контроля. Контроль остальных разрядов преобразователя производится аналогичным образом. Номер контролируемого разряда фиксируется счетчиком 16. Если в процессе контроля i -го разряда блок 14 контроля формирует сигнал "Расстройка" преобразователя, на выводе счетчика 16 фиксируется число $p_k = i - 1$ достоверных разрядов аналого-цифрового преобразователя, обеспечивающих в процессе кодирования заданную погрешность линейности.

Пример контроля 6-го разряда аналого-цифрового преобразователя в кодах "золотой" I пропорции при условии, что вес 6-го разряда имеет значение 9,4 вместо 11,0, блок 14 логических элементов анализирует триаду разрядов блока 12 с номерами 1^* , 2^* , 3^* , приведен в табл. 2.

Результат опроса блока 14 контроля на шестом такте преобразования показал, что в регистре 12 сдвига сформировалась запрещенная кодовая комбинация. Достоверными являются $n_3 = 5$ младших разрядов преобразователя.

Блок 18 управления реализован в виде управляющего автомата с программируемой логикой. Алгоритм работы управляющего автомата приведен на фиг. 3 и 4, где: CT_1 - счетчик пересчета на три состояния (блок 52 на фиг. 6), CT_2 - счетчик тактов, разрядность которого равна $m = \log_2 n$ (блок 51 на фиг. 6) положение ключа K_i : = П1 соответствует замкнутому состоянию ключа;

положение A_K : = П1 соответствует коммутации на выходе аналогового коммутатора 2 входной преобразуемой величины, положение A_K : = П2 соответствует коммутации на выход аналогового коммутатора 2 нулевого вспомогательного сигнала;

1 - условие, определяющее режим работы устройства: преобразование (0) или контроль (1);

2 - установка в начальное состояние регистра сдвига P_7 , 12 и счетчика 51 тактов CT_7 , заряд запоминающих конденсаторов 8 и 10 от источника опорного напряжения 6 через ключевой элемент 7 и ключи $K1.1$ и $K1.2$ первого блока 9 ключевых элементов, коммутация на выход аналогового коммутатора 2 входного преобразуемого сигнала;

3 - запись в регистр 12 сдвига значения старшего разряда выходного кода;

4 - проверка условия "Конец преобразования";

5 - условие, определяющее полярность преобразуемого напряжения;

6, 7 - счетчик 51 тактов CT_7 увеличивает свое состояние на единицу, в зависимости от условия 5 запоминающий конденсатор 10 соответствующими обкладками включается через ключи $K2.1$, $K2.2$, или $K3.1$, $K3.2$ блока 11 ключевых элементов в цепь обратной связи усилителя 4;

8 - запись в регистр 12 сдвига значения i -го разряда выходного кода, формирование i -го эталонного уровня $U_{эi}$;

9 - установка в начальное состояние регистров 12 сдвига, счетчика

51 тактов CT_7 и счетчика 16 достоверных разрядов преобразователя;

10 - условие окончания контроля;

11 - формирование первого эталон-

5 ного уровня $U_{э1}$;

12 - условие формирования i -го эталонного уровня $U_{эi}$; соответствующего i -му контролируемому разряду;

10 13 - разряд запоминающего конден-

сатора 10;

14 - счетчик 51 тактов CT_7 увеличивает свое состояние на единицу, формирование следующего эталонного уровня;

15 15 - счетчик 51 тактов CT_7 принимает значение счетчика 16, установка в начальное состояние счетчика 52 пересчета на три CT_2 , коммутация на выход аналогового комму-

20 татора 2 нулевого вспомогательного сигнала;

16 - запись в регистр 12 сдвига значения старшего разряда выходного кода;

25 17 - проверка условия "Конец преобразования";

18 - условие, определяющее по-

лярность преобразуемого напряжения;

19-20 - счетчик 51 тактов CT_7

30 увеличивает свое состояние на единицу в зависимости от условия 18

запоминающий конденсатор 10 соответствующими обкладками включается

в цепь обратной связи усилителя 4;

21 - запись в регистр 12 сдвига значения i -го разряда выходного

35 кода, счетчик 52 пересчета на три CT_2 увеличивает свое состояние на единицу;

22 - если в регистре 12 сдвига сформировались очередные три разря-

40 да выходного кода, то анализируется выходной сигнал блока 14 контроля;

23 - условие правильного преоб-

45 разования;

24 - если число разрядов выходного

кода равно $3i + 2$, то формируется $(3i + 3)$ -й разряд путем сдвига

на один разряд кода в регистре 12;

25 - установка регистра 12 сдвига

50 в нулевое состояние, счетчик 16 достоверных разрядов преобразователя увеличивает свое состояние на единицу;

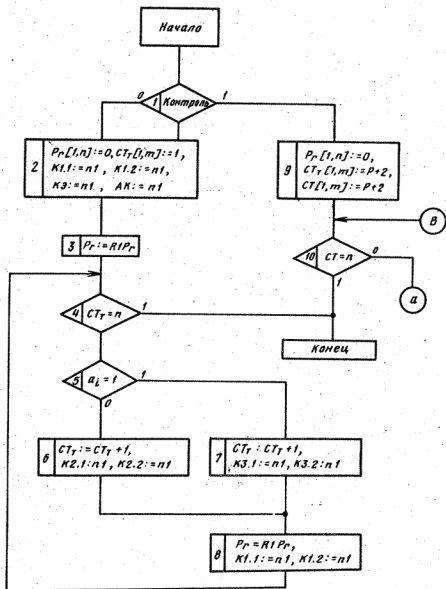
26 - счетчик 51 тактов CT_7 при-

55 нимает значение счетчика 16 процедура контроля продолжается, пока не будет проконтролированы все разряды преобразователя.

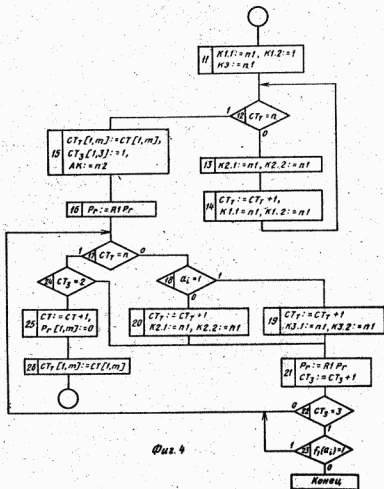
Такт	U_i	a_i	U_{9i}	$U_{i+1} = U_i - a_i U_{9i}$	Регистр сдвига						Аналоговый эквивалент A_k
					Веса разрядов						
					1,0	1,6	2,6	4,2	6,8	11,0	
1	10	1	11,0	$10-11,0=1,0$	1						1,0
2	-1,0	$\bar{1}$	6,8	$-10+6,8=5,8$	$\bar{1}$	1					0,6
3	5,8	1	4,2	$5,8-4,2=1,6$	1	$\bar{1}$	1				2,0
4	1,6	1	2,6	$1,6-2,6=1,0$	1	1	$\bar{1}$	1			4,2
5	-1,0	$\bar{1}$	1,6	$-1,0+1,6=0,6$	$\bar{1}$	1	1	$\bar{1}$	1		5,8
6	0,6	1	1	$0,6-1=-0,4$	1	$\bar{1}$	1	1	$\bar{1}$	1	10,4

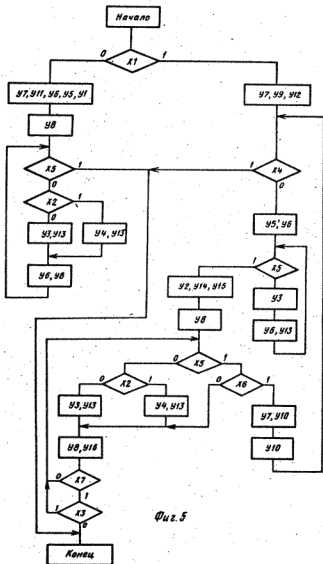
Т а б л и ц а 2

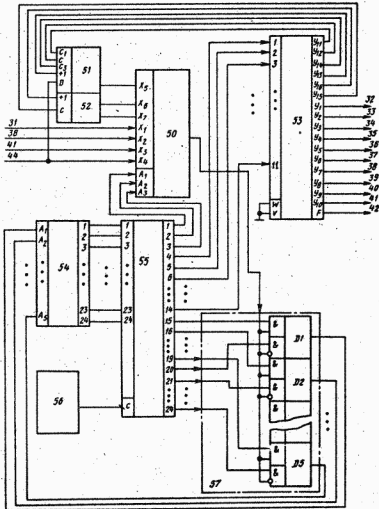
Такт	U_i	a_i	U_{9i}	$U_{i+1} = U_i - a_i U_{9i}$	Регистр сдвига						A_k	$f_i(a_i)$	Результат опроса блока контроля
					1*	2*	3*	4	5	6			
					1,0	1,6	2,6	4,2	6,8	11,0			
1	0	1	9,4	$0-9,4=9,4$	1						1,0	0	X
2	-9,4	$\bar{1}$	6,8	$-9,4+6,8=-2,6$	$\bar{1}$	1					0,6	0	X
3	-2,6	$\bar{1}$	4,2	$-2,6+4,2=-1,6$	$\bar{1}$	$\bar{1}$	1				0	1	1
4	1,6	1	2,6	$1,6-2,6=-1,0$	1	$\bar{1}$	$\bar{1}$	1			1,0	0	X
5	-1,0	$\bar{1}$	1,6	$-1,0+1,6=0,6$	$\bar{1}$	1	$\bar{1}$	$\bar{1}$	1		0,6	0	X
6	0,6	1	1,0	$0,6-1,0=-0,4$	1	$\bar{1}$	1	$\bar{1}$	$\bar{1}$	1	2,0	0	0



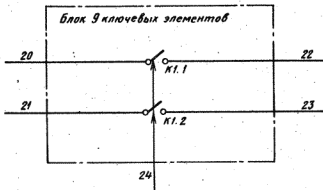
Фиг. 3



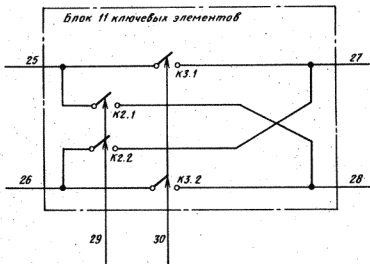




Фиг. 6



Фиг. 7



Фиг. 8

Составитель В.Першков

Редактор Г.Волкова

Техред А.Ач

Корректор И.Муска

Заказ 7576/58

Тираж 871

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4