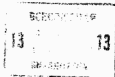




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3782905/24-24
- (22) 15.08.84.
- (46) 07.03.86. Вул. № 9
- (72) А.П.Стахов, А.Д.Азаров,  
В.И.Моисеев, В.П.Марценюк и  
В.Я.Стейскал
- (53) 681.325 (088.8)
- (56) Авторское свидетельство СССР  
№ 788272, кл. Н 03 К 13/02, 1980.  
Авторское свидетельство СССР  
№ 1027815, кл. Н 03 К 13/02, 1981.
- (54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВА-  
ТЕЛЬ
- (57) Изобретение относится к цифро-  
вой измерительной и вычислительной  
технике и может быть использовано  
для преобразования аналоговых ве-  
личин в цифровые. Изобретение поз-  
воляет расширить функциональные  
возможности аналого-цифрового преоб-  
разователя (АЦП), работающего в

избыточно-измерительном коде (ИИК).  
Применение ИИК обеспечивает высокую  
точность преобразования при использо-  
вании цифроаналогового преобразова-  
теля низкой точности, а введение блока  
гостоящей памяти, цифрового коммутато-  
ра, арифметико-логического устройства,  
регистра, элемента И, регистра пос-  
ледовательного приближения, регист-  
ра сдвига и дополнительного цифро-  
аналогового преобразователя, кото-  
рые обеспечивают работу АЦП в режи-  
ме поверки и непосредственного  
преобразования с коррекцией, поз-  
воляет получить результат преобразо-  
вания в обычном двоичном коде, т.е.  
в изобретении сочетаются достоинст-  
ва ИИК (низкие требования к точнос-  
ти ЦАП) и обычного двоичного кода  
(широкая область применения). 1 з.п.  
ф-лы, 4 ил.

09 SU (11) 1216827 A

Изобретение относится к цифровой измерительной и вычислительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - расширение функциональных возможностей аналого-цифрового преобразователя.

На фиг. 1 представлена функциональная схема аналого-цифрового преобразователя; на фиг. 2 - функциональная схема блока управления; на фиг. 3 и 4 - граф-схема алгоритма работы устройства.

Аналого-цифровой преобразователь содержит входную шину 1, аналоговый коммутатор 2 (АК), дополнительный цифроаналоговый преобразователь 3 (ЦАП), регистр 4 сдвига (РГС), блок 5 сравнения (БС), основной цифроаналоговый преобразователь 6 (ЦАП), регистр 7 последовательного приближения (РПП), первую и вторую управляющие шины 8 и 9, пятый выход 10 блока управления, шестой выход 11 блока управления, второй выход 12 блока управления, четвертый выход 13 блока управления, блок 14 оперативной памяти (ВОП), блок 15 постоянной памяти (ВПМ), элемент И 16, цифровой коммутатор 17 (ЦК), арифметико-логическое устройство 18 (АЛУ), регистр 19 (РГ), блок 20 управления, первый выход 21 блока 20, седьмые выходы 22 блока 20, третий выход 23 блока 20, восьмой, девятый, десятый, одиннадцатый и двенадцатый выходы 24 - 28 блока 20, выходные шины 29, шину 30 "Запуск".

Блок 6 управления (фиг. 2) выполнен на постоянном запоминающем устройстве 31, первом и втором регистрах 32 и 33, генераторе 34 тактовых импульсов.

Основной цифроаналоговый преобразователь 6 предлагаемого устройства должен быть выполнен на основе избыточных измерительных кодов (ИМК), например кодов Фибоначчи "золотой" пропорции и др. Применение ИМК позволяет обеспечить высокую точность преобразования при использовании ЦАП с низкой точностью, однако то, что результат преобразования получается также в ИМК, существенно ограничивает область применения. Предлагаемое техническое решение сочетает достоинства ИМК (низкие требования к точности основного ЦАП 6) и обыч-

ного двоичного кода (широкая область применения), т.е. обладает расширенными функциональными возможностями.

Устройство функционирует в двух режимах: проверки и непосредственного аналого-цифрового преобразования с коррекцией.

В режиме проверки определяются коды реальных значений весов разрядов ЦАП 6. Причем разряды делятся на группу старших (поверяемых) и группу младших (неповеряемых) разрядов. Такой подход справедлив при формировании весов разрядов с одинаковой относительной погрешностью. В этом случае абсолютные отклонения  $\Delta Q_{P_i}$  от требуемых значений  $Q_{TP_i}$  для старших разрядов будут большими, а для младших - малыми. Поэтому коды реальных значений весов младших разрядов  $K_{P_i}$ , полученные после изготовления устройства, записываются в ВПП 5 и используются при функционировании.

Определение кодов  $K_{P_i}$  реальных значений весов разрядов производится только для группы из  $m$  старших разрядов. Значения  $m$  определяются из условия

$$Q_{TP_1} \leq \Delta Q_{n-m+1} < Q_{TP_2},$$

где  $n$  - количество разрядов ЦАП;  $\Delta Q_{n-m+1}$  - отклонения от требуемого значения ( $n-m+1$ ) - го разряда;

$Q_{TP_1}, Q_{TP_2}$  - значения первого и второго младших разрядов соответственно.

Определение кодов  $K_{P_i}$  для старших разрядов производится при формировании ЦАП 3 ступенчатого нарастающей аналоговой величины  $A_i$ , каждая ступень которой соответствует весу проверяемого разряда. Каждый аналоговый сигнал  $A_i$  дважды уравнивается по методу поразрядного кодирования компенсирующим сигналом  $A_{K_i}$ . ЦАП 6 - один раз с запретом включения проверяемого разряда, другой раз - без запрета. По результатам двух кодирований определяется код реального веса проверяемого разряда.

Работа устройства в режиме проверки осуществляется следующим образом.

По сигналу БУ 20 происходит обнуление РГ 19, содержимого ВОП 14, запись исходного кода в РГС 4, установка в начальное состояние РПП 7, аналоговый коммутатор 2 под-

ключает к второму входу БС 5 выход ЦАП 3, на котором присутствует аналоговый сигнал  $A_{n-m+1}$ .

Значение вспомогательного аналогового сигнала должно быть таким, чтобы при поразрядном уравнивании его компенсирующим сигналом ЦАП 6  $A_{\kappa}$  произошло включение поверяемого  $(n-m+1)$ -го разряда, т.е.  $A_{n-m+1}$  должны превышать реальный вес поверяемого разряда на величину  $5-20\%$ . Далее при помощи блоков 5, 6, 7, 16, 20 производится аналого-цифровое преобразование сигнала  $A_{n-m+1}$ . Результат первого преобразования  $K_{n-m+1}^1$ , которое осуществляется с запретом включения  $(n-m+1)$ -го разряда при помощи элемента И, формируется в РПП 7. Двоичный код  $K_{2n-m+1}^1$  первого преобразователя формируется в РГ 19 при помощи блоков 14, 15, 17, 18, 19, 20 по формуле

$$K_{2n-m+1}^1 = \sum_{i=1}^n \alpha_i^1 K_{\rho i}^1,$$

где  $\alpha_i^1 \in \{0,1\}$  - разрядный коэффициент первого кодирования  $K_{n-m+1}^1$ . Результат второго кодирования  $K_{n-m+1}^2$  также формируется в РПП 7. Двоичный код  $K_{2n-m+1}^2$  второго преобразования формируется в РГ 19 по формуле

$$K_{2n-m+1}^2 = K_{2n-m+1}^1 - \sum_{i=1}^n \alpha_i^2 K_{\rho i}^2,$$

где  $\alpha_i^2 \in \{0,1\}$  - разрядный коэффициент второго кодирования  $K_{n-m+1}^2$ . Так как коды  $K_{\rho i}^2$  равны нулю при  $i \geq n-m+1$  (содержимое ВОП 14 - нулевое), то код  $K_{2n-m+1}^2$  равен коду реального веса  $(n-m+1)$ -го разряда, т.е.  $K_{\rho n-m+1}^2 = K_{2n-m+1}^2$ . По сигналу ВУ 20 этот код переписывается в ВОП 14.

Далее производится сдвиг РГС 4, в результате чего на выходе ЦАП 3 появится новый вспомогательный аналоговый сигнал  $A_{n-m+2}$ . Получение реального веса  $(n-m+2)$ -го разряда происходит аналогично описанному. Процесс проверки заканчивается после определения кодов реальных весов всех старших разрядов.

В режиме непосредственного преобразования входной аналоговой величины  $A_{\text{вх}}$  в код участвуют все блоки устройства за исключением ЦАП, РГС и элемента И.

Скорректированный результат преобразования  $K(A)$  определяется с учетом кодов реальных значений весов  $K_{\rho i}$  и формируется в РГ 19 по формуле

$$K(A) = \sum_{i=1}^n \alpha_i K_{\rho i},$$

где  $\alpha_i \in \{0,1\}$  - двоичная цифра результата уравнивания  $A_{\text{вх}}$  сигналом  $A_{\kappa}$ .

По окончании процесса поразрядного уравнивания код  $K(A)$  поступает на выход 29 устройства.

Функционирование устройства в режиме непосредственного преобразования периодически прерывается режимом проверки. Частота перехода из режима в режим определяется скоростью изменения реальных значений весов разрядов ЦАП и зависит от стабильности параметров аналоговых узлов и от скорости изменения внешних условий.

Один из возможных вариантов реализации блока управления приведен на фиг. 2. Для формирования управляющих сигналов применена последовательная схема с использованием ПЗУ. Необходимые для управления функционированием АПП управляющие и условные сигналы приведены в таблице.

Алгоритм функционирования устройства в соответствии с приведенным описанием работы показан на фиг. 3 и 4.

#### Формула изобретения

1. Аналого-цифровой преобразователь, содержащий блок управления, блок сравнения, первый вход которого подключен к выходу основного цифроаналогового преобразователя, блок оперативной памяти, первый управляющий вход которого подключен к первому выходу блока управления, отличающийся тем, что, с целью расширения функциональных возможностей, введены блок постоянной памяти, цифровой коммутатор, арифметико-логическое устройство, регистр, элемент И, регистр последовательного приближения, регистр сдвига, дополнительный цифроаналоговый преобразователь, аналоговый коммутатор, первый информационный вход которого является входной шиной устройства, второй информационный вход

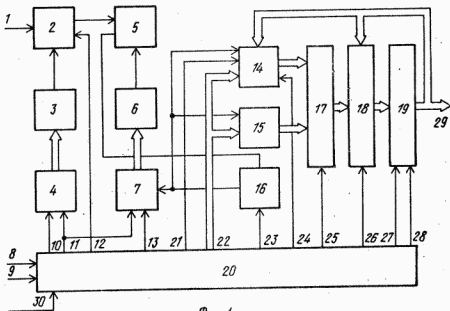
подключен к выходу дополнительного цифро-аналогового преобразователя, управляющий вход - к второму выходу блока управления, выход - к второму входу блока сравнения, выход которого подключен к первому входу элемента И, второй вход которого подключен к третьему выходу блока управления, выход - к второму управляемому входу блока оперативной памяти, управляемому входу блока постоянной памяти и к информационному входу регистра последовательного приближения, выходы которого подключены к соответствующим входам основного цифро-аналогового преобразователя, первый управляющий вход подключен к четвертому выходу блока управления, пятый выход которого подключен к первому управляемому входу регистра сдвига, выходы которого подключены к соответствующим входам дополнительного цифро-аналогового преобразователя, второй управляющий вход объединен с вторым управляющим входом регистра последовательного приближения и подключен к шестому выходу блока управления, седьмые выходы которого подключены к соответствующим адресным входам блоков постоянной и оперативной памяти, восьмой выход подключен к третьему управляемому входу блока оперативной памяти, выходы которого подключены к соответствующим первым информационным входам цифрового коммутатора, вторые информационные выходы которого подключены к соответствующим выходам блока постоянной памяти, управляющий вход подключен к девятому выходу блока управления, выходы подключены к соответствующим первым информационным входам арифметико-логического устройства, управляющий вход которого подключен к десятому выходу блока управления, выходы подключены к соответствующим информационным входам регистра, первый и второй управляющие входы

которого подключены соответственно к одиннадцатому и двенадцатому выходам блока управления, выходы являются выходными сигналами и подключены к соответствующим информационным входам блока оперативной памяти и вторым информационным входам арифметико-логического устройства, при этом первый и второй входы блока управления являются соответственно первой и второй управляющими сигналами, а третий вход является шиной "запуск".

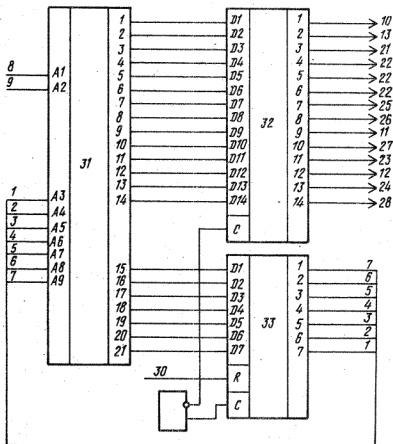
2. Преобразователь по п.1, о т л и ч а ю щ и й с я тем, что блок управления выполнен на первом и втором регистрах, генераторе тактовых импульсов и постоянном запоминающем устройстве, первый и второй входы которого являются соответственно первым и вторым входами блока управления, входы с третьего по девятый подключены к соответствующим выходам второго регистра, выходы с первого по  $\ell + 11$ , где  $\ell = \lceil \log_{2n} \rceil + 1$ ,  $n$  - количество разрядов основного цифро-аналогового преобразователя, подключены к соответствующим информационным входам первого регистра, выходы с  $\ell + 12$  по  $\ell + 18$  подключены к соответствующим информационным входам второго регистра, первый управляющий вход которого является третьим входом блока управления, второй управляющий вход подключен к прямому выходу генератора тактовых импульсов, инверсный выход которого подключен к управляемому входу первого регистра, первый, второй и третий выходы которого являются соответственно пятым, четвертым и первым выходами блока управления, выходы четвертого по  $\ell + 3$  являются седьмыми выходами блока управления, выходы с  $\ell + 4$  по  $\ell + 11$  являются соответственно девятым, десятым, шестым, одиннадцатым, третьим, вторым, восьмым и двенадцатыми выходами блока управления.

Номер связи	Обозначение	Наименование сигналов	Примечание
8	$X_1$	"Режим 1"	При $X_1=1$ - кодирование с контролем
9	$X_2$	"Режим 2"	При $X_2=1$ - разрешение преобразования

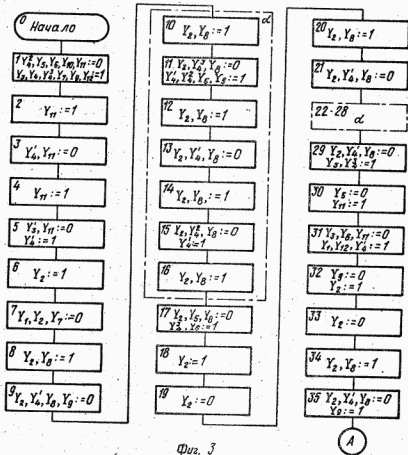
1	2	3	4
10	$Y_1$	"Сдвиг РГС"	
11	$Y_7$	"Начальная установка"	
12	$Y_{10}$	"Коммутация АК"	При $Y_{10}=0$ коммутируется выход ЦАП
13	$Y_2$	"Синхроимпульс РПП"	
21	$Y_3$	"Запись-считывание БОП"	При $Y_3=0$ - считывание
22	$Y_4$	"Адрес БОП и ВПП"	
23	$Y_9$	"Запрет включения разряда"	При $Y_9=0$ - запрет
24	$Y_{11}$	"Синхроимпульс записи БОП"	
25	$Y_5$	"Коммутация ЦК"	При $Y_5=0$ коммутируется выход БОП
26	$Y_6$	"Вычитание-сложение АЛУ"	При $Y_6=0$ - сложение
27	$Y_8$	"Запись РГ"	
28	$Y_{12}$	"Обнуление РГ"	

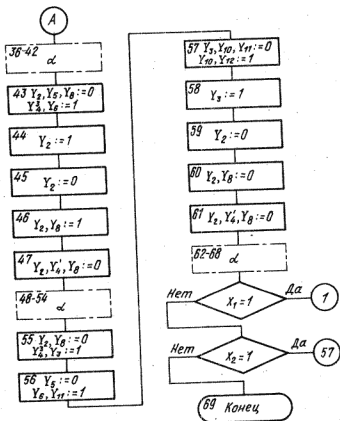


Фиг. 1



Фиг. 2





Фиг. 4

Редактор С. Патрушева      Составитель В. Першинов      Техред Т. Дубинчак      Корректор О. Луговая

Заказ 1004/60      Тираж 818      Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раульская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4