



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3782076/24-24
 (22) 15.08.84
 (46) 30.03.86. Бюл. № 12
 (72) А.П.Стахов, В.И.Мойсеев,
 А.Д.Азаров, В.Я.Стейскал и Т.Н.Васильева
 (53) 681.325(088.8)
 (56) Шведский Б.И. Электронные цифровые приборы. Киев.: Техника, 1981, с. 46, рис. 16.
 Гитис Э.И., Пискулов Е.А. Аналого-цифровые преобразователи. М.: Энергониздат, 1981, с. 235, рис. 6-7а.
 (54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ
 (57) Изобретение относится к области вычислительной и цифровой измерительной техники и может быть использовано для преобразования аналоговых величин в цифровые. Изобретение позволяет повысить точность аналого-цифрового преобразо-

вания за счет использования избыточных измерительных кодов, которые обеспечивают отсутствие разрывов в выходной характеристике устройства при больших отклонениях весов разрядов цифроаналогового преобразователя (ЦАП) от требуемых значений. При изготовлении устройства предварительно измеряют реальные значения весов разрядов ЦАП, которые в виде двоичных кодов фиксируют в блоке памяти. В процессе поразрядного аналого-цифрового преобразования по мере формирования значащих разрядов на входе ЦАП, соответствующие коды весов этих разрядов извлекаются из блока памяти и суммируются при помощи блока суммирования и регистра. После суммирования кода веса последнего значащего разряда преобразование заканчивается. Результат преобразования представлен в обычном двоичном коде. 1 ил.

изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение точности аналого-цифрового преобразования.

На чертеже представлена структурная схема аналого-цифрового преобразователя (АЦП).

АЦП содержит блок 1 сравнения, цифроаналоговый преобразователь (ЦАП) 2, регистр 3 последовательного приближения (РПП), входную шину 4, шину 5 "запуск", блок 6 постоянной памяти, блок 7 суммирования, регистр 8, счетчик 9 адреса, выходные шины 10, шину 11 тактовых импульсов.

Погрешности аналого-цифрового преобразователя в значительной мере зависят от точности изготовления цифроаналогового преобразователя в цепи обратной связи. При этом, если ЦАП реализован на основе избыточного двоичного кода, то наличие определенных отклонений весов разрядов цифроаналогового преобразователя от требуемых значений может привести к "разрывам" выходной характеристики устройства. Применение цифроаналогового преобразователя на основе избыточного измерительного кода (ИИК) позволяет устранить этот недостаток.

Одним из избыточных измерительных кодов является код Фибоначчи.

При изготовлении предлагаемого устройства предварительно измеряют реальные значения весов разрядов цифроаналогового преобразователя 2, которые представляют в виде двоичных кодов K_i и фиксируют в блоке 6 памяти. В процессе поразрядного аналого-цифрового преобразования по мере формирования значащих разрядов на входе ЦАП 2 коды K_i весов этих разрядов извлекаются из блока 6 памяти и суммируются при помощи блоков 7 и 8. После суммирования кода веса последнего значащего разряда преобразование заканчивается. При этом сумма кодов K_i всех значащих разрядов является результатом аналого-цифрового преобразования.

Работа устройства начинается при поступлении импульса запуска по ш-

не 5 запуска, устанавливающего регистр 3 последовательного приближения в исходное состояние, обнуляющего регистр 8 и счетчик 9 адреса.

- 5 В процессе преобразования входного аналогового сигнала A_x в выходной код K_x производится уравнивание A_x выходным компенсирующим сигналом A_k ЦАП 2. Процесс уравнивания производится устройством 3 управления последовательно от старших разрядов к младшим по методу поразрядного кодирования. При этом на каждом i -м такте на выходе ЦАП 2 формируется аналоговый сигнал A_{ki} . С помощью
- 10 схемы 1 сравнения производится сравнение A_x с A_{ki} . Выходной сигнал Y схемы 1 сравнения удовлетворяет следующему условию:

$$Y_i = \begin{cases} 1, & \text{если } A_x < A_{ki}, \\ 0, & \text{если } A_x \geq A_{ki}. \end{cases}$$

- Сигнал $Y_i = 0$ разрешает считывание из блока 6 памяти кода двоичного эквивалента K_i реального веса i -го разряда, который подается на блок 7 суммирования, где производится его суммирование с содержимым регистра 8. В случае $Y_i = 1$ считывание веса из блока 6 постоянной памяти не происходит и содержимое регистра 8 не изменяется.

В конце преобразования входной аналоговый сигнал A_x уравнивается выходным компенсирующим сигналом A_k ЦАП 2 с точностью до младшего кванта.

Результат преобразования A_x в код K_x , сформированный в регистре 8, определяется по формуле

$$K_x = \sum_{i=1}^n a_i \cdot K_i,$$

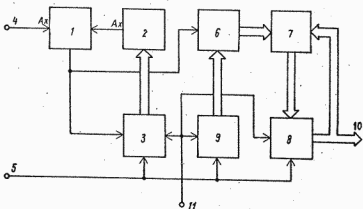
- где $a_i \in \{0, 1\}$ - цифра i -го разряда кода, сформированного на входе ЦАП 2 в процессе поразрядного уравнивания,
- 45 K_i - код двоичного эквивалента реального веса i -го разряда ЦАП 2.

Ф о р м у л а и з о б р е т е н и я

- 55 Аналого-цифровой преобразователь, содержащий блок сравнения, первый вход которого является входной шиной, второй вход подключен к

выходу цифроаналогового преобразователя, выход - к информационному входу регистра последовательного приближения, первый управляющий вход которого является шиной "Запуск", второй управляющий вход подключен к шине тактовых импульсов, выходы подключены к соответствующим входам цифроаналогового преобразователя, отличающийся тем, что, с целью повышения точности преобразования, в него введен блок постоянной памяти, блок суммирования, регистр и счетчик адреса, первый управляющий вход которого объединен с первым управляющим входом регистра и вторым управляющим

входом регистра последовательного приближения, второй управляющий вход объединен с вторым управляющим входом регистра и первым управляющим входом регистра последовательного приближения, выходы подключены к соответствующим адресным входам блока постоянной памяти, управляющий вход которого подключен к выводу блока сравнения, выходы - к соответствующим первым входам блока суммирования, выходы которого подключены к соответствующим информационным входам регистра, выходы которого подключены к соответствующим вторым входам блока суммирования и являются выходными шинами.



Составитель В.Першков
 Редактор М.Петрова Техред В.Кадар Корректор Л.Патай

Заказ 1620/59 Тираж 816 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4