



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

**ОПИСАНИЕ ИЗОБРЕТЕНИЯ
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ**



(21) 3760223/24-24
(22) 21.04.84
(46) 23.04.86. Бюл. № 15

(72) А.П.Стахов, А.Д.Азаров,
В.Я.Стейскал и Л.М.Нечипоренко
(53) 681.325 (088.8)
(56) Авторское свидетельство СССР
№ 758510, кл. Н 03 К 13/02, 1980.
Авторское свидетельство СССР
№ 790285, кл. Н 03 К 13/02, 1980.

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВА-
ТЕЛЬ

(57) Изобретение позволяет повысить быстродействие аналого-цифрового преобразователя путем сокращения длительности такта кодирования и исключения возникающих при этом ошибок типа "неправильное включение разряда" или "неправильное выключение разряда" за счет использования избыточных измерительных кодов. В режиме непосредственного преобразования входной аналоговой величины в цифровой код в работе участвуют блок сравнения, цифроаналоговый преобразователь, блок управления, блок выделения разности напряжений, сдвиговой

регистр, блок логических элементов ИЛИ, блок развертки кода, блок приведения кода к минимальной форме. В режиме метрологического контроля участвуют все блоки устройства. По сигналу блока управления записывается единица в старший разряд блока развертки кода и обеспечивается тем самым включение старшего разряда цифроаналогового преобразователя. По следующему сигналу выполняется операция развертки первого разряда цифроаналогового преобразователя. Блок выделения разности напряжений осуществляет линейное преобразование разности первого и суммы второго и (P+1)-го цифроаналогового преобразователя, где p-параметр используемого избыточного измерительного кода. В случае превышения этой разности значения допустимого предела блок выделения разности вырабатывает признак записи единицы в первый разряд регистра. В конце первого такта происходит сброс в нулевое состояние блока развертки кода. В оставшихся тактах схема работает аналогичным образом. 1 з.п.ф-лы, 5 ил., 2 табл.

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение быстродействия аналого-цифрового преобразователя.

На фиг.1 приведена структурная схема аналого-цифрового преобразователя; на фиг.2 и 3 - микропрограмма работы блока управления; на фиг.4 - закодированный граф микропрограммы; на фиг.5 - функциональная схема блока управления с принудительной адресацией.

Аналого-цифровой преобразователь содержит входную шину 1, блок 2 сравнения (БС), цифроаналоговый преобразователь 3 (ЦАП), блок 4 вычисления разности напряжений (ВВР), сдвиговый регистр 6 (СР), блок 5 логических элементов ИЛИ (БЛЭ ИЛИ), блок 7

развертки кода (БРК), регистр 8 (Р), блок 9 логических элементов И (БЛЭ И), блок 10 приведения кода к минимальной форме (БПМФ), блок 11 управления, информационные выходные шины 12, контрольные выходные шины 13. Блок 5 логических элементов ИЛИ содержит первые входы 14 и вторые входы 15 и 16. Устройство содержит также входную шину 17 "Режим работы". Блок 11 управления содержит первый и второй входы 18 и 19, третьи входы 20, первые выходы 21, шестые выходы 22, вторые выходы 23, третьи выходы 24, четвертые выходы 25, пятый выход 26, седьмой выход 27, четвертый вход блока 11 управления является входной шиной 17 "Режим работы".

В табл.1 представлены микрооперации, используемые в микропрограмме работы аналого-цифрового преобразователя.

Т а б л и ц а 1.

Обозначение связи	Назначение связи	Номер связи
У 1.1	Режим записи БВР4	21
У 1.2	Режим выдачи БВР4	
У 2.1	$RG_{сдв} = K_2$	22
У 2.2	$RG_{сдв} = R_1 (RG_{сдв})$	
У 3.1	$БРК = 0$	23
У 3.2	$БРК[n] = 1$	
У 3.3	$БРК[n] = 0$	
У 4.1	Развертка	24
У 4.2	Синхронимпульс	
У 5.1	$RG = 0$	25
У 5.2	$RG[n] = 1$	
У 5.3	$RG[n] = 0$	25
У 6	Управление БЛЭ	26
У 7.1	Разрешение записи в БПМФ10	27
У 7.2	Приведение кода к минимальной форме (МФ)	
У 8	$СЧ(1-n) = 0$	

Логические условия, используемые в работе АПП, представлены в табл.2.

Т а б л и ц а 2

Обозначение связи	Назначение связи	Номер связи
X1	Выбор режима работы: X1 = 1 - режим контроля X1 = 0 - режим непосредственного преобразования	17
X2	Анализ ответа блока 2 сравнения: X2 = 1 - $A_x \geq A_{Bx}$ X2 = 0 - $A_x < A_{Bx}$	18
X3	Анализ состояния блока 4 выделения разности: X3 = 1 - $\alpha_p^n = \alpha_p^{n-1} + \alpha_p^{n-p-1}$ X3 = 0 - $\alpha_p^n \neq \alpha_p^{n-1} + \alpha_p^{n-p-1}$	19
X4	Состояние разрядов регистра РГ8 X4 = 1 - РГ8 = 0	20
X5	Анализ состояния счетчика циклов	
X6	X6 = 1, если $m_{отка3} > P$ X6 = 0, если $m_{отка3} < P$	

Блок 11 управления состоит из блока 28 анализа кода, счетчика 29 циклов, мультиплексора 30, дешифратора 31 состояний, постоянного запоминающего устройства (ПЗУ) 32, буферного регистра 33, цифрового коммутатора 34, генератора 35 тактовых импульсов. Блок 28 анализа кода предназначен для анализа состояний разрядов регистра 8 для обнаружения условия $m_{отка3} > P$, где p - параметр кода.

Цифроаналоговый преобразователь 3 должен быть построен на основе избыточных измерительных кодов, к которым относятся: p - коды Фибоначчи, коды "золотой" p -пропорции, а также обобщенные коды Фибоначчи.

Если длительность такта аналого-цифрового поразрядного преобразования выбрать большей или равной $t_x \geq t_{1, \text{мин}}$

где t_x - длительность такта кодирования аналого-цифрового преобразователя на основе двоичного кода, то в этом случае уравновешивания входного (A_{Bx}) и компенсирующего (A_x) аналоговых сигналов, происходит с погрешностью, не превышающей, например, половины младшего разряда ЦАП. Если длительность такта выбрать $t_x < t_{1, \text{мин}}$, то уравновешивание A_{Bx} и A_x происходит неверно, вследствие появления ошибок кодирования типа "неправильное включение разряда" или "неправильное выключение разряда".

Для аналого-цифровых преобразователей, содержащих в цепи обратной связи ЦАП, построенный на основе избыточных измерительных кодов, появление ошибок кодирования типа "неправильное выключение разряда"

не вызывает нарушение равенства $A_{B_k} = A_k$.

Для того, чтобы при аналого-цифровом преобразовании исключить ошибку кодирования типа "неправильное включение разряда" в процессе уравнивания A_{B_k} сигналом A_k вводят асимметрию, заключающуюся в том, что на каждом ℓ -м такте поразрядного кодирования одновременно с ℓ -м разрядом с весом Q_ℓ включают в общем случае группу некоторых младших разрядов, имеющих суммарный вес $\Delta Q_{\text{Асс}\ell}$. Значение $\Delta Q_{\text{Асс}\ell}$ определяется по формуле

$$\Delta Q_{\text{Асс}\ell} = \frac{\sum_{i=0}^{\ell-1} Q_i - Q_\ell \cdot \alpha}{2}$$

На основании значений $\Delta Q_{\text{Асс}\ell}$ синтезируется код $K_{\text{Асс}}$ младших разрядов, который запоминается. Если отношение α между весами разрядов используемого кода является числом постоянным, то для формирования в процессе уравнивания на каждом последующем j -м такте кодовой комбинации $K_{\text{Асс}}$ осуществляется сдвиг исходной кодовой комбинации $K_{\text{Асс}}$ на один разряд вправо.

Совместное включение ℓ -го и группы некоторых младших разрядов приводим к тому, что действующий вес ℓ -го разряда увеличивается. При этом если разность $\Delta A = A_{B_k} - A_k$ предыдущего такта уравнивания была близка к значению ℓ -го разряда, то в текущем такте блок сравнения формирует логический сигнал, вызывающий включение ℓ -го разряда и дальнейшее уравнивание ведется разрядами с номерами меньшими ℓ .

Таким образом, данный подход позволяет исключить ошибки кодирования типа "неправильное включение разряда".

При преобразовании входной аналоговой величины в код устройством, содержащим ЦАП, построенный на основе классического двоичного кода, обладающего нулевой избыточностью, такая асимметрия процесса уравнивания принципиально невозможна. В этом случае ошибка кодирования типа "неправильное включение разряда" приводит к тому, что входную аналоговую величину A_{B_k} нельзя уравнивать сигналом A_k с точностью до младшего разряда ЦАП. Поэтому

результат преобразования A_{B_k} в цифровой эквивалент $K_{\text{Асс}}$ неверный. Если цифроаналоговый преобразователь устройства реализован на основе избыточного измерительного кода, то появляется возможность осуществлять правильное аналого-цифровое преобразование при ошибках кодирования типа "неправильное включение разряда".

Введение же асимметрии в процессе уравнивания позволяет исключить ошибки кодирования типа "неправильное включение разряда". Все это дает возможность значительно уменьшить время каждого j -го такта поразрядного кодирования. При этом на каждом такте уравнивания нет необходимости осуществлять точное, например, до половины младшего разряда, сравнение входного A_{B_k} и компенсирующего A_k аналоговых сигналов.

Достаточно на один такт поразрядного уравнивания отводить время, необходимое для установления переходных процессов в ЦАП и блоке сравнения с погрешностью не более δQ . Значение δQ зависит от избыточности кода, который используется в ЦАП, и определяется по формуле

$$\delta Q = 2\alpha^{-1} - 1.$$

где α - отношение между соседними членами кода, на основании которого построен ЦАП.

Для числа Фибоначчи при $p=1$, например, ($\alpha^{-1} = 0,61803$) погрешность δQ , выраженная в %, равна $\delta Q = 23,6\%$.

Работа аналого-цифрового преобразователя происходит в режиме метрологического контроля и в режиме непосредственного преобразования аналоговой величины в цифровой код.

В процессе метрологического контроля определяется наличие в устройстве отказавших разрядов, номера которых заносятся в регистр 8. Отказавшим считается неисправный разряд или разряд, вес которого не соответствует требуемому значению.

В режиме непосредственного преобразования входной аналоговой величины в цифровой код в работе участвуют блок 2 сравнения, цифро-аналоговый преобразователь 3, блок 11 управления, блок 4 выделения разности напряжений, сдвиговый регистр 6, блок 5 логических элементов ИЛИ и блок 7 развертки

кода, блок 10 приведения кода к минимальной форме.

В режиме метрологического контроля участвуют все блоки устройства. Метрологический контроль аналого-цифрового преобразователя осуществляется на основании определенных соотношений между весами разрядов цифроаналогового преобразователя, выполненного в кодах с иррациональными основаниями (коды Фибоначчи и коды "золотой" p -пропорции).

В режиме метрологического контроля в первом такте по сигналу блока 11 управления записывается единица в старший разряд блока 7 развертки кода¹, обеспечивает тем самым включение старшего разряда цифроаналогового преобразователя 3. По следующему сигналу выполняется операция развертки первого разряда цифроаналогового преобразователя 3. Блок 4 выделения разности напряжений осуществляет линейное преобразование разности первого и суммы второго и $(p+1)$ -го разрядов цифроаналогового преобразователя 3. В случае превышения этой разности значения допустимого предела блок 4 выделения разности напряжений вырабатывает признак записи единицы в первый разряд регистра 8. В конце первого такта происходит сброс в нулевое состояние блока 7 развертки кода. На втором такте блок 11 управления записывает единицу во второй разряд блока 7 развертки кода, обеспечивая тем самым включение второго разряда цифроаналогового преобразователя 3. Далее выполняется операция развертки второго разряда цифроаналогового преобразователя 3. Так же как и в первом такте блок 4 выделения разности напряжений вырабатывает соответствующий сигнал, подаваемый в блок 11 управления. В оставшихся $(n-2)$ тактах схема работает аналогичным образом, обеспечивая последовательное включение и развертки оставшихся $(n-2)$ разрядов цифроаналогового преобразователя, а также проверку соотношения

$$\omega_p^2 = \omega_p^{p+1} + \omega_p^{p-1} \quad (1)$$

Если на i -м такте блок 4 выделения разности напряжений срабатывает первый раз, то в i -й разряд регистра 8 записывается единица, а в остальных разрядах остаются нули. Если

блок 4 выделения разности напряжений срабатывает на $(i+1)$ такте, то в $(i+1)$ -й разряд регистра 8 записывается единица, а в i -й разряд записывается ноль. Запись единиц в последующие разряды и нулей в предыдущие разряды происходит до тех пор, пока не перестанет срабатывать блок 4 выделения разности напряжений.

10 Прекращение срабатывания блока 4 свидетельствует о выполнении соотношения (1). Таким образом, в регистре оказываются записаны номерастроенных разрядов. При наличии отказавших разрядов метрологический контроль заканчивается проверкой возможности правильного преобразования входной величины в цифровой код.

15 Если в процессе метрологического контроля обнаружены отказавшие разряды, номера которых занесены в регистр 8, то в процессе уравнивания входного аналогового сигнала $A_{вх}$ компенсирующим сигналом ЦАП $A_{к}$ включение этих разрядов запрещается. Кодирование же производится только исправными точными разрядами.

20 Аналого-цифровой преобразователь осуществляет правильное преобразование входной аналоговой величины в цифровой код, если после каждой группы из m ($1 \leq m \leq P$) подряд расположенных отказавших разрядов следует не менее $m+1$ младших точных разрядов или имеется не более одной группы из m ($m=p$) отказавших разрядов.

25 Однако уравнивание $A_{вх}$ компенсирующим сигналом ЦАП при наличии отказавших разрядов должно вестись по "медленному" алгоритму. При этом в регистре 8 занесена кодовая комбинация, все разряды которой равны нулю. В случае же применения ускоренного алгоритма результат аналого-цифрового преобразования может быть неверным вследствие потери избыточности ЦАП из-за наличия отказавших разрядов. Если в ЦАП отсутствуют отказавшие разряды, то кодирование ведется по ускоренному алгоритму. При этом аналого-цифровое преобразование происходит следующим образом. На первом такте преобразования входной аналоговой величины $A_{вх}$ в код $K_{вых}$ по сигналу блока 11 управления устанавливается в единичное состояние старший разряд

блока 7 развертки кода, а в сдвигном регистре по сигналу блока 11 управления устанавливается кодовая комбинация $K_{A_{0n1}}$.

Через блок 5 логических элементов ИЛИ кодовые комбинации K и $K_{A_{0n2}}$ выходов сдвигового регистра 6 и блока 7 развертки кода поступают на вход ЦАП 3, на выходе которого появляется компенсирующий аналоговый сигнал $A_{k1} = (Q_{n-1} + Q_{A_{0n1}})$, где Q_{n-1} - вес старшего разряда ЦАП.

Сравнение компенсирующего аналогового сигнала A_{k1} и входного аналогового сигнала $A_{вх}$ производится при помощи блока 2 сравнения. При этом выходной сигнал Y_1 этого блока подчиняется следующему соотношению

$$Y_1 \in \{0, 1\} = \begin{cases} 0, & \text{если } A_{вх} < A_{k1} \\ 1, & \text{если } A_{вх} \geq A_{k1} \end{cases}$$

При этом если на первом такте уравнивания $Y_1 = 0$, то $(n-1)$ -й разряд устанавливается в нулевое состояние, если же $Y_1 = 1$, то $(n-1)$ -разряд устанавливается в единичное состояние.

На втором такте аналого-цифрового преобразования по сигналу блока 11 управления содержимое блока 6 сдвигается на один разряд вправо, в результате чего на выходе сдвигового регистра появляется кодовая комбинация $K_{A_{0n2}}$. Одновременно $(n-2)$ -й разряд блока 7 развертки кода устанавливается в единичное состояние. При этом на выходе ЦАП 3 появляется компенсирующий сигнал A_{k2} . В зависимости от результата сравнения Y_2 выходного $A_{вх}$ и компенсирующего A_{k2} аналоговых сигналов, $(n-2)$ -й разряд устанавливается либо в нулевое состояние ($Y_2 = 0$), либо остается в единичном состоянии ($Y_2 = 1$). Работа аналого-цифрового преобразователя на любом j -м такте происходит аналогично. Процесс непосредственного преобразования заканчивается на $(n+1)$ -м такте поразрядного кодирования. При этом входной аналоговый сигнал $A_{вх}$ уравнивается компенсирующим сигналом ЦАП A_{n+1} с точностью до единицы младшего разряда ЦАП 3.

Результат преобразования, сформированный в блоке 7 развертки кода, поступает в блок 10 приведения кода к минимальной форме, после чего на

информационные выходные шины 12 устройства поступает код, представленный в минимальной форме.

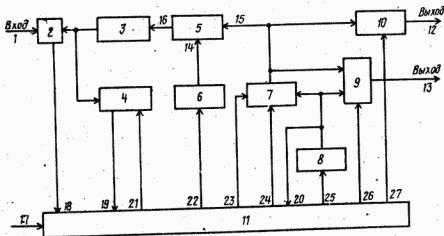
5 Ф о р м у л а и з о б р е т е н и я

1. Аналого-цифровой преобразователь, содержащий блок сравнения, первый вход которого является входной шиной, второй вход объединен с информационным входом блока выделения разности напряжений и подключен к выводу цифроаналогового преобразователя, а выход подключен к первому входу блока управления, первые выходы которого подключены к управляющим входам блока выделения разности напряжений, выход которого подключен к второму входу блока управления, вторые выходы которого подключены к первым информационным входам блока развертки кода, третьи выходы подключены к управляющим входам блока развертки кода, выходы которого подключены к соответствующим первым информационным входам блока логических элементов И, вторые информационные входы блока развертки кодов объединены с соответствующими вторыми информационными входами блока логических элементов И, третьими входами блока управления и подключены к соответствующим выходам регистра, входы которого подключены к четвертым выходам блока управления, пятый выход которого подключен к управляющему входу блока логических элементов И, выходы которого являются контрольными выходными шинами преобразователя, отличающийся тем, что, с целью повышения быстродействия, в него введены блок логических элементов ИЛИ, блок приведения кода к минимальной форме, сдвиговой регистр, входы которого подключены к шестым выходам блока управления, выходы - к соответствующим первым входам блока логических элементов ИЛИ, выходы которого подключены к соответствующим входам цифроаналогового преобразователя, вторые входы объединены с соответствующими информационными входами блока приведения кода к минимальной форме и подключены к соответствующим выходам блока развертки кода, выходы блока приведения кода к минимальной форме являются информационными выходными шинами преобразователя, управляющие входы под-

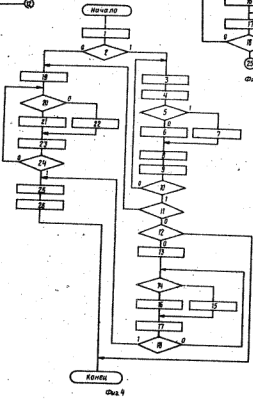
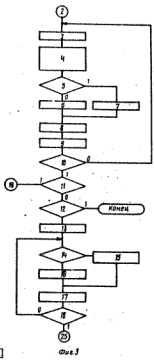
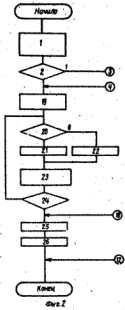
ключены к семи выходам блока управления, четвертый вход которого является шиной "Режим работы".

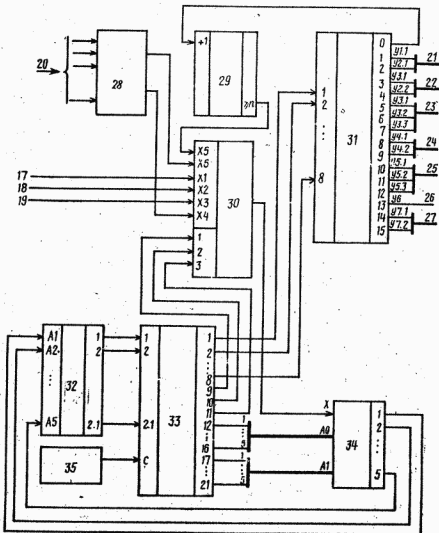
2. Преобразователь по п.1, отличающийся тем, что блок управления выполнен на мультиплексоре, блоке анализа кода, счетчике, дешифраторе, регистре, цифровом коммутаторе, генераторе тактовых импульсов, постоянном запоминающем устройстве, выходы которого подключены к соответствующим выходам цифрового коммутатора, а выходы - к соответствующим информационным входам регистра, управляющий вход которого подключен к выходу генератора тактовых импульсов, выходы с первого по восьмой подключены к соответствующим входам дешифратора, выходы с девятого по одиннадцатый - к соответствующим управляющим входам мультиплексора, выходы с двенадцатого по шестнадцатый - к соответствующим первым информационным входам цифрового коммутатора, выходы с семнадцатого по двадцать первый подключены к соответствующим вторым информационным входам цифрового коммутатора, управляющий

вход которого подключен к выходу мультиплексора, первый, второй и третий информационные входы которого являются соответственно четвертым, первым и вторым входами блока управления, четвертый и пятый входы подключены соответственно к первому и второму входам блока анализа кода, входы которого являются третьими входами блока управления, шестой вход мультиплексора подключен к выходу счетчика, вход которого подключен к первому выходу дешифратора, второй и третий входы которого являются первыми выходами блока управления, четвертый и пятый входы которого являются шестыми выходами блока управления, шестой, седьмой и восьмой входы - вторыми выходами блока управления, девятый и десятый входы - третьими выходами блока управления, одиннадцатый, двенадцатый и тринадцатый входы - четвертыми выходами блока управления, четырнадцатый выход - пятым выходом блока управления, пятнадцатый и шестнадцатый входы - седьмыми выходами блока управления.



Фиг.1





Фиг. 5

Редактор А.Сабо

Составитель В.Першков
Техред В.Кадар

Корректор А.Ференц

Заказ 2147/59

Тираж 816

Подписное

ВНИИИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4