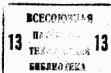




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3788847/24-24
- (22) 11.09.84
- (46) 30.07.86. Бюл. № 28
- (72) А.П.Стахов, В.И.Моисеев,  
А.Д.Азаров и В.Я.Стейскал
- (53) 681.325 (088.8)
- (56) Авторское свидетельство СССР  
№ 864548, кл. Н 03 К 13/02, 1979.

Микроэлектронные цифроаналоговые и аналого-цифровые преобразователи информации./Под ред. В.Б.Смолова. Л.: Энергия, 1976, рис. 7-9, с. 197.

## (54) УСТРОЙСТВО ЦИФРОАНАЛОГОВОГО ПРЕОБРАЗОВАНИЯ

(57) Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые. Изобретение позволяет повысить точность цифроаналогового

преобразования за счет улучшения линейности характеристики преобразования. Улучшение линейности характеристики преобразования обеспечивается введением трех цифровых коммутаторов, блоков постоянной и оперативной памяти, регистра последовательного приближения и арифметико-логического устройства, а также построением основного цифроаналогового преобразователя (ЦАП) на основе избыточно-измерительного кода. Устройство работает в двух режимах: проверки основного ЦАП и преобразования входного кода в аналоговый сигнал. В режиме проверки определяются реальные веса основного ЦАП, которые затем хранятся в блоке оперативной памяти и используются при преобразовании входного кода в аналоговый сигнал. 1 з.п. ф-лы, 4 ил.

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения - повышение точности за счет улучшения линейности характеристики преобразования.

На фиг.1 приведена функциональная схема устройства цифроаналогового преобразования; на фиг.2 - функциональная схема блока управления; на фиг. 3 и 4 - граф-схема алгоритма работы устройства.

Устройство цифроаналогового преобразования содержит входные шины 1 преобразуемого кода, первый цифровой коммутатор 2 (ЦК), арифметико-логическое устройство 3 (АЛУ), первый регистр 4 (РГ), второй цифровой коммутатор 5, второй регистр 6, основной цифроаналоговый преобразователь 7 (ЦАП), третий цифровой коммутатор 8, блок 9 сравнения (ВС), регистр 10 сдвига (РГС), вспомогательный цифроаналоговый преобразователь 11 (ЦАП<sub>г</sub>), блок 12 управления (БУ), регистр 13 последовательного приближения (РПП), блок 14 постоянной памяти (ВПП), блок 15 оперативной памяти (БОП), первую и вторую управляющие шины 16 и 17, которые подключены к первому и второму входам блока управления, шину "Запуск", которая подключена к третьему входу блока управления, выходную шину 18. Блок управления имеет тринадцать выходов 19-31.

Блок управления (фиг.2) содержит первый и второй регистры 32, 33, генератор 34 тактовых импульсов, постоянное запоминающее устройство 35.

Основной цифроаналоговый преобразователь 7 должен быть выполнен на основе избыточных измерительных кодов (ИМК). Известно, что выходная характеристика ЦАП, построенного на основе неизбыточного двоичного кода может иметь "разрывы", если веса разрядов имеют отклонения от требуемых значений.

Если ЦАП реализовать на основе ИМК, например кода Фибоначчи, то "разрыва" не будет, если веса разрядов изготавливать с погрешностью не более 23,6%. Скачки выходной характеристики при таких низких требованиях к технологии будут большими. Однако значительно уменьшить

(линеаризовать) их можно путем цифровой коррекции результата преобразования. Это возможно благодаря наличию многозначности ИМК.

Предлагаемое устройство функционирует в двух режимах: проверки и непосредственного цифроаналогового преобразования с коррекцией.

В режиме проверки определяются коды реальных значений весов разрядов ЦАП<sub>г</sub> 7, причем разряды делятся на группу старших (поверяемых) и на группу младших (неповеряемых) разрядов. Такой подход справедлив при формировании весов разрядов с одинаковой относительной погрешностью  $\delta$ . В этом случае абсолютные отклонения  $\Delta Q_p$  от требуемых значений  $Q_{гр}$  для старших разрядов будут большими, а для младших - малыми. Поэтому коды реальных значений весов младших разрядов  $K_{ре}$ , полученные после изготовления устройства, записываются в ВПП 14 и используются при функционировании.

Определение кодов  $K_{ре}$  реальных значений весов разрядов производится только для групп из  $m$  старших разрядов. Значение  $m$  определяется из условия

$$Q_{гр} - \Delta Q_{n-m+1} < Q_{гр2}$$

где  $n$  - количество разрядов ЦАП;  
 $\Delta Q_{n-m+1}$  - отклонение от требуемого значения  $(n-m+1)$ -го разряда;  
 $Q_{гр}$ ,  $Q_{гр2}$  - значения первого и второго младших разрядов соответственно.

Определение кодов  $K_{ре}$  для старших разрядов при формировании ЦАП<sub>г</sub> 11 ступенчато нарастающей аналоговой величины  $A_x$ , каждая ступень которой соответствует весу поверяемого разряда, каждый аналоговый сигнал  $A_x$  дважды уравнивается по методу поразрядного кодирования компенсирующим сигналом  $A_{xj}$  ЦАП<sub>г</sub> 7 - один раз с запретом включения поверяемого разряда, второй раз без запрета. По результатам двух кодирований определяется код реального веса поверяемого разряда.

Работа устройства в режиме проверки осуществляется следующим образом.

По сигналам БУ 12 происходит обнуление РГ 4, содержимого БОП 15, запись исходного кода в РГС 10, уста-

навляется в начальное состояние РПП 13, ЦК 2 коммутирует на вход РГ 4 выход АЛУ 3. На выходе ЦАП<sub>9</sub> 11 появится аналоговый сигнал  $A_{n-m+1}$ . Значение вспомогательного аналогового сигнала должно быть таким, чтобы при поразрядном уравнивании его компенсирующим сигналом ЦАП<sub>9</sub> 7  $A_k$  произошло включение поверженного  $(n-m+1)$ -го разряда, т.е.  $A_{n-m+1}$  должен превышать реальный вес поверженного разряда  $Q_{n-m+1}$  на величину 5-20%. Далее при помощи блоков 13, 6, 7, 8, 9, 10, 11 производится логическое преобразование сигнала  $A_{n-m+1}$ , причем РГ 6 при этом функционирует только в режиме записи. Результат первого преобразования  $K'_{n-m+1}$ , которое осуществляется с запретом включения  $(n-m+1)$ -го разряда, при помощи БУ 12, ЦК 8 формируется в РПП 13. Двоичный код  $K'_{2n-m+1}$  первого преобразования формируется в РГ 4 при помощи блоков 2, 3, 4, 5, 12, 14, 15, 8 по формуле

$$K'_{n-m+1} = \sum_{i=1}^n a'_i K_{r_i},$$

где  $a'_i \in \{0, 1\}$  - разрядный коэффициент первого кодирования  $K'_{n-m+1}$ . Результат второго кодирования  $K_{n-m+1}$  также формируется в РПП 13. Двоичный код  $K_{2n-m+1}$  второго преобразования формируется в РГ 4 по формуле

$$K_{2n-m+1} = K'_{2n-m+1} - \sum_{i=1}^n a''_i K_{r_i}, \quad (1)$$

где  $a''_i \in \{0, 1\}$  - разрядный коэффициент второго кодирования  $K_{n-m+1}$ .

Так как в выражении (1) коды  $K_{r_i}$  равны нулю при  $i \geq n-m+1$  (содержимое БОП 15 нулевое), то код  $K_{2n-m+1}$  равен коду реального веса  $(n-m+1)$ -го разряда, т.е.  $K_{2n-m+1} = K_{n-m+1}$ . По сигналу БУ 12 этот код переписывается в БОП 15.

Далее производится сдвиг РГС 10, в результате чего на выходе ЦАП 11 появится новый вспомогательный аналоговый сигнал  $A_{n-m+2}$ . Получение реального веса  $(n-m+2)$ -го разряда происходит аналогично вышеописанному. Процесс поверки заканчивается после определения кодов реальных весов всех старших разрядов.

В режиме непосредственного преобразования входной двоичный код  $K$ ,

поступающий по входным шинам 1 устройства, преобразуется в аналоговую величину  $A_{вых}$  на выходе 18 устройства. При этом участвуют все блоки устройства за исключением РГС 10 и ЦАП<sub>9</sub> 11. Преобразование осуществляется следующим образом. Входной код  $K$  записывается в РГ 4 при помощи ЦК 2 и БУ 12 и сравнивается при помощи АЛУ 3 с кодом реального веса старшего разряда  $K_{r_n}$ . При сравнении анализируются сигнал переноса  $z_n$  АЛУ 3, находящегося в режиме вычитания, причем сигнал переноса  $z_i$  подчиняется следующему выражению:

$$z_i = \begin{cases} 1, & \text{если } K \geq K_{r_i}; \\ 0, & \text{если } K < K_{r_i}. \end{cases}$$

Если  $z_n = 0$ , то содержимое РГ 4 не изменяется, а в РПП 13 записывается ноль при помощи ЦК 8 и БУ 12. Если  $z_n = 1$ , то из содержимого РГ 4 вычитается код  $K_{r_n}$  (дальнейшее сравнение производится с остатком  $K-K_{r_n}$ ), а в РПП 13 записывается единица.

Далее код  $K$  сравнивается с кодом реального веса  $K_{r_{n-1}}$  следующего разряда. Последующее преобразование входного кода  $K$  в рабочий код  $K_{r_{n-1}}$  происходит аналогично.

Заканчивается процесс после  $n$ -го сравнения содержимого РГ 4 с кодом реального веса младшего разряда  $K_{r_1}$ . В результате в РПП 13 сформируется рабочий код  $K_{r_{n-1}}$  который по сигналу БУ 12 переписывается в РГ 6, после чего на выходе 18 устройства появится аналоговая величина  $A_{вых}$ , точно соответствующая входному двоичному коду  $K$ .

Необходимые для функционирования устройства управляющие и условные сигналы приведены в таблице.

Алгоритм функционирования цифрового аналогового преобразования в соответствии с вышеприведенным показан на фиг. 3 и 4 состоит из: вершины (1-5) - обнуление БОП 15; вершины (6-15) - первое кодирование  $A_n$  с запретом включения 4-го разряда; вершины (16-26) - второе кодирование  $A_n$  без запрета включения 4-го разряда; вершины (27-28) - запись  $K_{r_n}$  в БОП 15; вершины (29-39) - первое кодирование  $A_3$  с запретом включения 5-го разряда; вершины (40-50) - второе кодирование  $A_3$ ; вершины (51-52) - запись  $K_{r_5}$  в

Б0П 15, вершины (53-65) - непосредственное преобразование.

### Ф о р м у л а и з о б р е т е н и я 5

1. Устройство цифроаналогового преобразования, содержащее основной и вспомогательный цифроаналоговые преобразователи, блок сравнения, блок управления, первый и второй регистры, регистр сдвига, выходы которого подключены к соответствующим входам вспомогательного цифроаналогового преобразователя, выход которого подключен к первому входу блока сравнения, второй вход которого соединен с выходной шиной устройства, выходы второго регистра подключены к соответствующим входам основного цифроаналогового преобразователя, первый, второй и третий выходы блока управления подключены соответственно к первым управляющим входам первого, второго регистров и регистра сдвига, отличающееся тем, что, с целью повышения точности за счет улучшения линейности характеристики преобразования, в него введены первый, второй и третий цифровые коммутаторы, блок постоянной памяти, блок оперативной памяти, регистр последовательного приближения, арифметическое устройство, первые информационные входы которого объединены с информационными входами блока оперативной памяти и подключены к выходам первого регистра, вторые информационные входы подключены к выходам второго цифрового коммутатора, первый вход подключен к первому информационному входу третьего цифрового коммутатора, управляющий вход подключен к четвертому выходу блока управления, вторые выходы подключены к первым информационным входам первого цифрового коммутатора, вторые информационные входы которого являются шинами преобразуемого кода, управляющий вход подключен к пятому выходу блока управления, выходы подключены к информационным входам первого регистра, второй управляющий вход которого объединен с информационным входом регистра последовательного приближения и подключен к выходу третьего цифрового коммутатора, второй информационный вход которого является

шиной сигнала логической единицы, третий информационный вход является шиной сигнала логического нуля, четвертый информационный вход подключен к выходу блока сравнения, первый и второй управляющие входы подключены соответственно к шестому и седьмому выходам блока управления, восьмой выход которого подключен к второму управляющему входу регистра сдвига и к первому управляющему входу регистра последовательного приближения, девятые выходы подключены к адресным входам блоков оперативной и постоянной памяти, выходы которых подключены соответственно к первым и вторым входам второго цифрового коммутатора, управляющий вход которого подключен к десятому выходу блока управления, первый, второй и третий входы которого являются соответственно первой и второй управляющими шинами и шиной "Запуск", одиннадцатый и двенадцатый выходы подключены соответственно к первому и второму управляющим входам оперативной памяти, тринадцатый выход подключен к второму управляющему входу регистра последовательного приближения, выходы которого подключены к информационным входам второго регистра, при этом выход основного цифроаналогового преобразователя является выходной шиной.

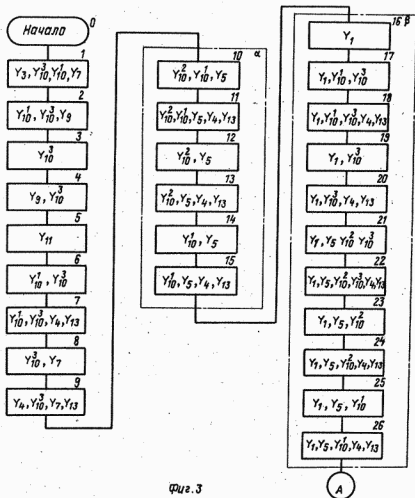
2. Устройство по п.1, отличающееся тем, что блок управления выполнен на первом регистре, втором регистре, генераторе тактовых импульсов, постоянном запоминающем устройстве, первый и второй входы которого являются первым и вторым входами блока управления, выходы с первого по пятнадцатый подключены к информационным входам первого регистра, входы с третьего по девятый подключены к выходам второго регистра, выходы с шестнадцатого по двадцать второй подключены к информационным входам второго регистра, первый управляющий вход которого является третьим входом блока управления, второй управляющий вход подключен к прямому выходу генератора тактовых импульсов, инверсный выход которого подключен к управляющему входу первого регистра, выходы с первого по девятый которого являются соответ-

ственно четвертым, пятым, первым, тринадцатым, десятым, шестым, седьмым, одиннадцатым, двенадцатым выходами блока управления, выходы с десяти- того по двенадцатый первого регист-

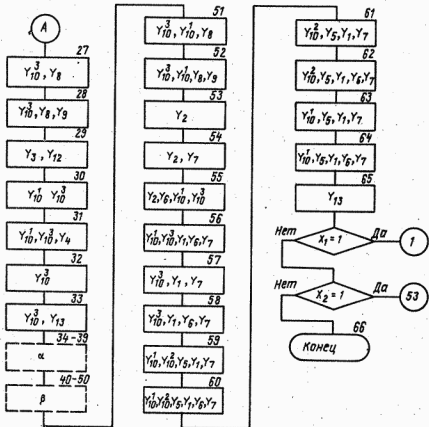
ра являются девятью выходами блока управления, выходы с тринадцатого по пятнадцатый являются соответственно восьмым, третьим и вторым выходами блока управления.

Номер связи	Обозначения	Наименование	Примечание
16	$X_1$	Режим 1	При $X_1=1$ - кодирование с контролем
17	$X_2$	Режим 2	При $X_2=1$ - разрешение преобразования
22	$Y_1$	Вычитание-сложение АЛУ 3	При $Y_1=0$ - сложение
23	$Y_2$	Коммутация ЦК 2	При $Y_2=0$ - коммутируется выход АЛУ 3
19	$Y_3$	Обнуление РГ 4	
28	$Y_5$	Коммутация ЦК 5	При $Y_5=0$ коммутируется выход БОП 15
31	$Y_6$	Синхронимпульс РПП 13	
29	$Y_8$	Запись-считывание БОП 15	При $Y_8=0$ - считывание
30	$Y_9$	Синхронимпульс записи БОП 15	
27	$Y_{10}$	Адрес БОП 15 и ВПП 14	$Y_{10}^3 Y_{10}^2 Y_{10}^1$ 1 0 1 5-й разряд 1 0 0 4-й разряд 0 1 1 3-й разряд 0 1 0 2-й разряд 0 0 1 1-й разряд
26	$Y_{11}$	Начальная установка	
21	$Y_{12}$	Сдвиг РГС 10	
24	$Y_6$	Адрес 1 ЦК 8	
25	$Y_7$	Адрес 2 ЦК 8	При $Y_6 Y_7$ 0 0 - коммутируется ВС 9 0 1 - коммутируется лог. "0" 1 0 - коммутируется лог. "1" 1 1 - коммутируется выход АЛУ 3
20	$Y$	Запись РГ 6	





фиг. 3



Фиг. 4

Редактор М. Бандура

Составитель В. Першиков  
Техред И. Гайдох

Корректор И. Муска

Заказ 4142/59

Тираж 816

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4.