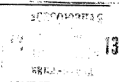




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3882939/24-24
- (22) 12.04.85
- (46) 23.12.86. Бюл. № 47
- (71) Винницкий политехнический институт
- (72) А.П.Стахов, А.Д.Азаров,  
В.Я.Стейскал и О.В.Кожичевский
- (53) 681.325 (088.8)
- (56) Авторское свидетельство СССР  
№ 758510, кл. Н 03 К 13/02, 28.04.80.  
Авторское свидетельство СССР  
№ 790285, кл. Н 03 К 13/02, 23.12.80.

- (54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ
- (57) Изобретение относится к преобразованию аналоговых сигналов в цифровой код в устройствах автоматики, вы-

числительной и измерительной техники. Изобретение позволяет повысить достоверность преобразования за счет более эффективного метрологического контроля, за счет использования при построении устройства избыточных измерительных кодов и введения двух цифровых блоков суммирования, цифрового блока сравнения, регистра последовательного приближения, цифрового коммутатора и блоков элементов ИЛИ. Метрологический контроль осуществляется одновременно с процессом основного преобразования и не требует использования специальных образцовых сигналов и прецизионных измерительных приборов. 2 з.п. ф-лы, 5 ил., 1 табл.

(19) **SU** (11) **1279064** **A1**

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования аналоговых величин в цифровые.

Цель изобретения - повышение достоверности аналого-цифрового преобразователя за счет более эффективного метрологического контроля.

На фиг.1 приведена структурная схема аналого-цифрового преобразователя (АЦП); на фиг.2 - функциональная схема второго блока суммирования; на фиг.3 - функциональная схема блока управления; на фиг.4 и 5 - граф-схема алгоритма работы устройства.

Аналого-цифровой преобразователь (фиг.1) содержит входную шину 1, блок 2 сравнения (БС), первый блок 3 суммирования (БС1), цифровой блок 4 сравнения (ЦБС), блок 5 управления (БУ), регистр 6 последовательного приближения (РПП), цифроаналоговый преобразователь 7 (ЦАП), цифровой коммутатор 8 (ЦК), блок 9 развертки крда (БРК), второй блок 10 суммирования (БС2), блок 11 элементов ИЛИ, регистр 12 (РГ). Блок 5 управления имеет выходы с первого по девятый 13-21 и входы с первого по четвертый 22-25 и пятый вход "запуск". Второй блок 10 суммирования имеет первые и вторые информационные входы 26 и 27, управляющий вход 28, выходы 29, которые являются выходными контрольными шинами. АЦП имеет также выходные шины 30.

Второй блок 10 суммирования (фиг.2) выполнен на  $n$  элементах 31 Исключающее ИЛИ и  $n$  элементах 32 И.

Блок 5 управления выполнен на постоянно запоминающем устройстве 33 (ПЗУ), первом и втором регистрах 34 и 35 и генераторе 36 тактовых импульсов.

Метрологический контроль аналого-цифрового преобразователя осуществляется на основании определенных соотношений между весами разрядов цифроаналогового преобразователя, выполненного на основе кодов с иррациональными основаниями типа  $p$ -кодов Фибоначчи и кодов "золотой"  $p$ -пропорции. В  $p$ -кодах Фибоначчи любое натуральное число может быть представлено в виде

$$N = \sum_{\ell=0}^S a_{\ell} \cdot \psi_{\ell}(\ell),$$

где  $a_{\ell} \in \{0, 1\}$ ;

$\ell = 1, 2, \dots, s$  - номер разряда;

$p = 0, 1, 2, \dots$  - параметр кода;

$\psi_{\ell}(\ell)$  - вес  $\ell$ -го разряда.

В кодах "золотой"  $p$ -пропорции любое действительное число может быть представлено в виде

$$A = \sum_{\ell=0}^{\infty} a_{\ell} \cdot \alpha_{\ell}^p,$$

где  $a_{\ell} \in \{0, 1\}$ ;

$\ell$  - номер разряда;

$p$  - параметр кода;

$\alpha_{\ell}$  - вес  $\ell$ -го разряда.

Над разрядами указанных кодов может быть выполнена операция развертки. Развертка заключается в замене единицы в  $\ell$ -м разряде нулем, а нулей в  $(\ell-1)$ -м и  $(\ell-p-1)$ -м разрядах единицами.

В случае точного соответствия весов разрядов цифроаналогового преобразователя требуемым значениям выполнение операции развертки над разрядами кодовой комбинации, подаваемой на вход цифроаналогового преобразователя, не изменяет значения выходной аналоговой величины.

В случае несоответствия весов разрядов цифроаналогового преобразователя требуемым значениям выполнение операции развертки над разрядами кодовых комбинаций меняет значение аналоговой величины.

Указанное обстоятельство лежит в основе метрологического контроля предлагаемого устройства. При одинаковой относительной погрешности весов разрядов цифроаналогового преобразователя абсолютная погрешность, вносимая отклонением старших разрядов, намного больше абсолютной погрешности, вносимой отклонением младших разрядов, поэтому разрядная сетка условно разбивается на группу контролируемых (старших) разрядов, группу точных (младших) разрядов и, кроме того, содержит дополнительный разряд, вес которого равен весу младшего разряда. Дополнительный разряд необходим для проведения метрологического контроля, который осуществляется при выполнении операции развертки кода путем анализа выходного сигнала  $Y$  блока 2 сравнения. Причем сигнал  $Y$  подчиняется следующему соотношению:

$$Y_x = \begin{cases} 0, & \text{если } A_{\text{вх}} < A_{\text{к}}; \\ 1, & \text{если } A_{\text{вх}} \geq A_{\text{к}}, \end{cases}$$

где  $A_{\text{вх}}$  - входной аналоговый сигнал;  
 $A_{\text{к}}$  - компенсирующий аналоговый сигнал.

Устройство работает следующим образом.

Преобразуемая аналоговая величина  $A_{\text{вх}}$  поступает на входную шину 1 устройства и в процессе аналого-цифрового преобразователя уравнивается компенсирующим сигналом А ЦАП 7 по методу поразрядного кодирования. В процессе уравнивания участвуют блоки 2 и 5 - 9. Причем на вход ЦАП 7 через цифровой коммутатор 8 поступает информация с выхода регистра 6 последовательного приближения, а блок 9 развертки кода полностью повторяет выходной сигнал блока 6. После окончания непосредственного аналого-цифрового преобразования входной аналоговый сигнал  $A_{\text{вх}}$  уравнивается сигналом  $A_{\text{к}}$  с точностью до половины младшего разряда ЦАП 7. При этом результат преобразования находится в блоках 6 и 9 и с выхода блока 6 поступает на информационный выход 30 устройства.

Далее по сигналу блока 5 управления осуществляется развертка кода, находящегося в блоке 9. Причем развертка кода происходит до появления значащей единицы в младшем "точном" разряде. Дополнительный разряд в этом случае установлен в нулевое состояние.

Затем развернутая кодовая комбинация через цифровой коммутатор 8 поступает на вход ЦАП 7 и производится анализ выходного сигнала  $Y_1$  блока 2 сравнения. В зависимости от уровня логического сигнала  $Y_1$  устанавливается в единичное состояние дополнительный разряд ЦАП 7 ( $Y_1=1$ ) либо устанавливается в нулевое состояние младший "точный" разряд ЦАП 7 ( $Y_1=0$ ). Далее анализируется выходной сигнал  $Y_2$  блока 2 сравнения. Если веса разрядов ЦАП 7, участвовавшие в развертке кода в блоке 9, соответствуют своим метрологическим характеристикам, то значение сигнала  $Y_2$  будет противоположно значению сигнала  $Y_1$ . В случае расстройки какого-либо разряда сигнал  $Y_2$  будет равен сигналу  $Y_1$ .

Далее по команде блока 5 управления с помощью первого блока 3 суммирования определяются номера разрядов, участвовавших в развертке кода в блоке 9. Для этого производится суммирование по mod 2 содержимого блоков 6 и 9. Так как в регистре 6 последовательного приближения находится код, над которым не выполнялась операция развертки, а в блоке 9 находится код в развернутой форме, то значащие единицы кода на выходе первого блока 3 суммирования будут соответствовать номерам разрядов ЦАП 7, участвовавших в развертке кода. Затем код с выхода первого блока 3 суммирования поступает на вход блока 11 элементов ИЛИ и вход второго блока 10 суммирования. В случае, если веса разрядов ЦАП 7 не соответствуют метрологическим характеристикам, этот код с помощью второго блока 10 суммирования суммируется по mod 2 с содержимым (нулевым) регистра 12 и с выхода блока 10 поступает на контрольный выход 29 устройства. Если веса разрядов ЦАП 7 соответствуют требуемым значениям, то код с выхода блока 3 с помощью блока 11 суммируется (логически) с содержимым (нулевым) регистра 12. На этом первый цикл контроля заканчивается. При этом, если в процессе контроля было зафиксировано, что веса разрядов ЦАП 7 не соответствуют требуемым метрологическим характеристикам, то значащие единицы кода на контрольном выходе 29 устройства укажут номера расстроенных разрядов. Если в процессе контроля не было зафиксировано расстройки разрядов ЦАП 7, то значащие единицы кода, находящегося в регистре 12, будут соответствовать номерам разрядов ЦАП 7, суммарное отклонение которых от требуемых значений не превышает величины младшего разряда.

Затем после проведения следующего очередного цикла непосредственного преобразования сигнала  $A_{\text{вх}}$  в код начинается следующий цикл контроля. Причем для получения возможности проведения метрологического контроля новой группы разрядов ЦАП 7 после выполнения операции развертки кода в блоке 9 производится сравнение кодов с помощью цифрового блока 4 сравнения, поступающих с выходов первого блока 3 суммирования и регистра 12.

Если эти коды равны (что свидетельствует о том, что данные разряды уже проконтролированы), то первый цифровой блок 4 сравнения вырабатывает логический сигнал  $z=1$ , по которому при помощи блока 5 управления в блоке 9 произойдет еще один такт развертки кода. Дальнейшая работа устройства происходит аналогично описанному.

В конце цикла контроля код с выхода блока 3 логически просуммируется с содержимым регистра 12, если веса разрядов ЦАП 7 не имеют отклонений от требуемых значений либо на контрольном выходе 29 устройства появится кодовая комбинация, значащие единицы в которой укажут номера разрядов ЦАП 7, имеющих отклонения от требуемых значений. Причем, так как выходной код блока 10 представляет собой сумму по mod 2 содержимого блока 3 и регистра 12, то номера разрядов ЦАП 7, величины которых имеют отклонения от требуемых значений, во втором цикле метрологического контроля будут указаны более точно, чем в первом. На этом второй цикл метрологического контроля заканчивается.

Блок 5 управления может быть синтезирован различными методами. Например, он может быть выполнен на основе автомата с памятью или по принципу программного управления. Один из возможных вариантов реализации блока управления приведен на фиг. 3. Для формирования управляющих сигналов применена последовательная схема с использованием ПЗУ.

Необходимые для управления функционированием АЦП управляющие и условные сигналы приведены в таблице.

Номер связи	Обозначение	Название
1	2	3

25	$x_1$	Режим
22	$x_2$	Сигнал блока 2
24	$x_3$	Младший разряд БРК9
23	$x_4$	Сигнал ЦБС4
16	$Y_1$	Синхронимпульс РПП6

Продолжение таблицы

1	2	3
13	$Y_2$	Импульс записи БРК9
14	$Y_3$	Импульс развертки БРК9
17	$Y_4$	Управление ЦК8
15	$Y_5$	Импульс записи РГ12
20	$Y_6$	Обнуление РГ12
15	$Y_7$	Строб блока 10
18	$Y_8$	Включение дополнительного разряда
20	$Y_9$	Выключение младшего разряда

Примечание. При  $x_1=1$  - разрешение преобразования;  $x_2=1$ , если  $A_{вх} \geq A_c$ ; при  $x_4=1$  - равенство кодов; при  $Y_4=1$  коммутируется выход БРК9.

Алгоритм функционирования предлагаемого устройства в соответствии с приведенным описанием приведен на фиг. 4 и 5, где вершины 1-9 - поразрядное уравнивание входной аналоговой величины; вершины 10-12 - развертка кода до появления единицы в младшем разряде; вершины 13-18 - определение наличия отклонений и номеров весов разрядов; вершины 19-28 - непосредственное поразрядное кодирование входной аналоговой величины; вершины 29-31 - развертка кода и проверка на равенство содержимого РГ12 и выходного сигнала блока 3; вершины 32-38 - определение наличия отклонений и номеров весов разрядов.

Формула изобретения

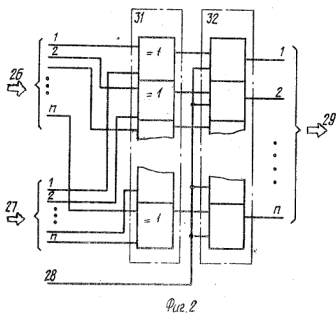
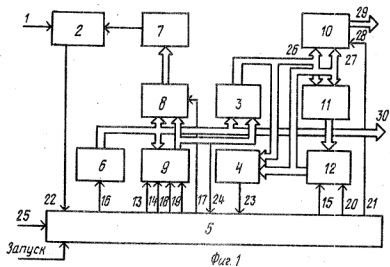
1. Аналого-цифровой преобразователь, содержащий блок управления, блок развертки кодов, регистр, цифро-аналоговый преобразователь и блок сравнения, первый вход которого является входной шиной, второй вход подключен к выводу цифроаналогового преобразователя, выход подключен к первому входу блока управления, первый

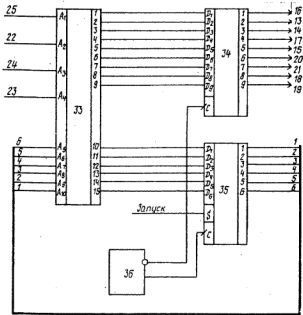
и второй выходы которого подключены соответственно к первому и второму управляющим входам блока развертки кодов, третий выход подключен к первому управляющему входу регистра, о т л и ч а ю щ и й с я тем, что, с целью повышения достоверности результатов преобразования, в него введены цифровой блок сравнения, первый и второй блоки суммирования, блок элементов ИЛИ, цифровой коммутатор, регистр последовательного приближения, вход которого подключен к четвертому выводу блока управления, выходы которого являются выходными информационными шинами и подключены к соответствующим первым входам первого блока суммирования, информационным входам блока развертки кода и первым информационным входам цифрового коммутатора, выходы которого подключены к входам цифроаналогового преобразователя, управляющий вход подключен к пятому выводу блока управления, шестой и седьмой выходы которого подключены к третьему и четвертому управляющим входам блока развертки кода, выходы которого подключены к вторым информационным входам цифрового коммутатора и вторым входам первого блока суммирования, выходы которого подключены к соответствующим первым информационным входам второго блока суммирования, первым входам блока элементов ИЛИ и первым входам цифрового блока сравнения, выход которого подключен к второму входу блока управления, вторые входы объединены с соответствующими вторыми информационными входами второго блока суммирования, вторыми входами блока элементов ИЛИ и подключены к соответствующим входам регистра, информационные входы которого подключены к соответствующим выходам блока элементов ИЛИ, второй управляющий вход подключен к восьмому выводу блока управления, третий вход которого подключен к выводу младшего разряда блока развертки кода, четвертый вход является шиной "Режим работы", пятый вход является

шиной "Запуск", девятый выход подключен к управляющему входу второго блока суммирования, выходы которого являются выходными контрольными шинами.

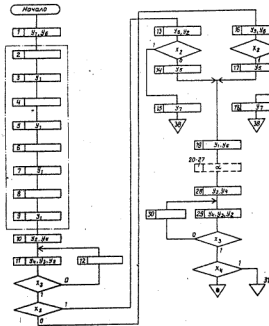
2. Преобразователь по п.1, о т л и ч а ю щ и й с я тем, что второй блок суммирования выполнен на и.э. элементах ИСКЛЮЧАЮЩЕЕ ИЛИ, где и. - число разрядов аналого-цифрового преобразования, и и.э. элементов И, выходы которых являются соответствующими выходами второго блока суммирования, первые входы объединены и являются управляющим входам второго блока суммирования, вторые входы подключены к соответствующим выходам элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, первые входы которых являются первыми информационными входами второго блока суммирования, а вторые входы являются вторыми информационными входами второго блока суммирования.

3. Преобразователь по п.1, о т л и ч а ю щ и й с я тем, что блок управления выполнен на первом и втором регистрах, генераторе тактовых импульсов и постоянном запоминающем устройстве, выходы с первого по девятый которого подключены к соответствующим информационным входам первого регистра, адресные входы с первого по четвертый являются соответственно четвертым, первым, третьим и вторым входами блока управления, адресные входы с пятого по десятый подключены к соответствующим выходам второго регистра, информационные входы которого подключены соответственно к выходам постоянного запоминающего устройства с десятого по пятнадцатый, первый управляющий вход является пятым входом блока управления, второй управляющий вход подключен к прямому выводу генератора тактовых импульсов, инверсный выход которого подключен к управляющему входу первого регистра, выходы с первого по девятый которого являются соответственно четвертым, первым, пятым, третьим, восьмым, девятым, шестым и седьмым выходами блока управления.

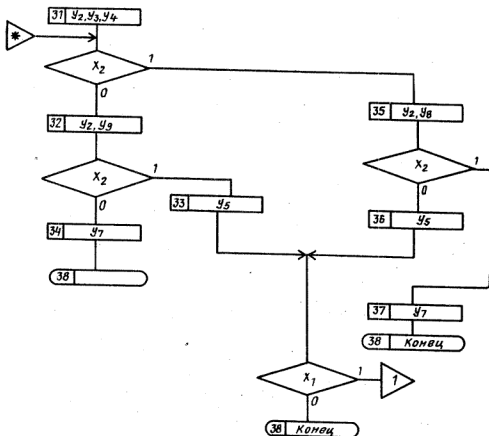




Фиг. 3



Фиг. 4



Фиг. 5

Редактор С.Пекарь                      Составитель В.Першиков  
 Техред А.Кравчук                      Корректор В.Буяга

Заказ 6854/58                      Тираж 816                      Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4