



(51) 4 Н 03 М 1/66

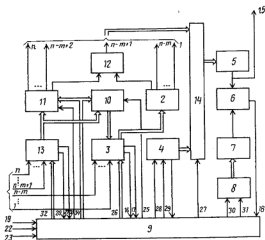
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3925079/24-24
(22) 08.07.85
(46) 23.06.87. Бюл. № 23
(72) А. П. Стахов, А. Д. Азаров,
В. И. Моисеев, В. Я. Стейскал, И. П. Сте-
панова и Т. Н. Васильева
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 953721, кл. Н 03 М 1/66, 1982.
Авторское свидетельство СССР
№ 1216829, кл. Н 03 М 1/66, 1984.
(54) ЦИФРОАНАЛОГОВЫЙ ПРЕОБРА-
ЗОВАТЕЛЬ
(57) Изобретение относится к области вы-
числительной и измерительной техники и мо-
жет быть использовано для преобразования
цифровых величин в аналоговые. Цель изоб-
ретения — повышение быстродействия циф-

роаналогового преобразователя, построено-
го на основе избыточных измерительных
кодов и обладающего возможностью осу-
ществления самопроверки. Цифроаналого-
вый преобразователь (ЦАП) содержит вход-
ные шины преобразуемого кода, блок 2 по-
стоянной памяти, фибоначчевый сумматор-
вычитатель 3, регистр 4 последовательного
приближения, основной ЦАП 5, блок 6 срав-
нения, дополнительный ЦАП 7, регистр 8
сдвига, блок 9 управления, первый и вто-
рой блоки 10, 11 оперативной памяти, эле-
мент 12 ИЛИ, вычислительный блок 13, циф-
ровой коммутатор 14, выходную шину 15.
Увеличение быстродействия достигается за
счет параллельной обработки разрядов при
коррекции входного кода в рабочий код ос-
новного ЦАП 5, 2 з.п. ф-лы, 5 ил.



Фиг.1

Изобретение относится к вычислительной и измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения — повышение быстродействия цифроаналогового преобразователя.

На фиг. 1 приведена функциональная схема цифроаналогового преобразователя; на фиг. 2 — функциональная схема блока управления; на фиг. 3 — функциональная схема вычислительного блока; на фиг. 4 и 5 — граф-схема алгоритма работы цифроаналогового преобразователя.

Цифроаналоговый преобразователь содержит входные шины 1 преобразуемого кода, блок 2 постоянной памяти, фибоначиевый сумматор-вычитатель 3, регистр 4 последовательного приближения, основной цифроаналоговый преобразователь 5, блок 6 сравнения, дополнительный цифроаналоговый преобразователь 7, регистр 8 сдвига, блок 9 управления, первый и второй блоки 10 и 11 оперативной памяти, элемент ИЛИ 12, вычислительный блок 13, цифровой коммутатор 14, выходную шину 15.

Блок 9 управления имеет входы 16—24 с первого по девятый и выходы 25—34 с первого по десятый, при этом четвертый вход 19 блока 9 управления является шиной «Запуск», а седьмой и восьмой входы 22, 23 блока 9 управления являются соответственно первой и второй управляющими шинами. Регистр 9 управления (фиг. 2) выполнен на блоке 35, генераторе 36 тактовых импульсов, первом и втором фибоначиевых реверсивных счетчиках 37 и 38, мультиплексоре 39 и постоянно запоминающем устройстве 40.

Вычислительный блок 13 (фиг. 3) выполнен на блоке 41 постоянной памяти, блоке 42 оперативной памяти, фибоначиевом сумматоре-вычитателе 43, первом регистре 44, первом и втором цифровых коммутаторах 45 и 46 и втором регистре 47.

Входные шины 1 преобразуемого кода разделены на две группы из m старших и $(n-m)$ младших разрядов, где n — число разрядов преобразуемого кода.

Блок 11 на m входов и m выходов содержит m -разрядные слова старших с n -го по $(n-m+1)$ -й разрядов, являющиеся цифровыми эквивалентами слов старших с n -го по $(n-m+1)$ -й разрядов входного кода.

Блок 10 на m входов и $(n-m+1)$ выходов содержит $(n-m+1)$ -разрядные слова для формирования младших с $(n-m+1)$ -го по 1-й разрядов рабочего кода $K_{\text{раб}}$, являющиеся цифровыми эквивалентами слов старших с n -го по $(n-m+1)$ -й разрядов входного кода K и представляющие код разности весов единичных разрядов старших групп входного K и рабочего $K_{\text{раб}}$ кодов.

Цифроаналоговые преобразователи 5 и 7 должны быть выполнены на основе избыточных измерительных кодов (ИИК). Любое дей-

ствительное число в ИИК можно представить в виде

$$N = \sum_{i=0}^{n-1} a_i \alpha^i,$$

где $a_i \in \{0, 1\}$ — двоичная цифра в i -м разряде кода;

α^i — вес i -го разряда кода, причем

$$1 \leq \alpha < 2 \text{ и } \alpha^i = \alpha^{i-1} \alpha.$$

Блок 2 на $(n-m+2)$ входов и $(n-m+1)$ выходов содержит цифровые эквиваленты младших с $(n-m+1)$ -го по 1-й разрядов кода $K_{\text{раб}}$.

Устройство работает в режимах проверки и непосредственного преобразования входного кода с иррациональным основанием в аналоговую величину. К увеличению быстродействия ЦАП в режиме преобразования код-аналог приводит применение принципа параллельной обработки разрядов при коррекции входного кода. Сущность коррекции заключается в преобразовании входного кода K в рабочий код $K_{\text{раб}}$. При этом код K разбивается на m -разрядную группу старших разрядов и $(n-m)$ -разрядную группу младших разрядов, обработка которых происходит параллельно с учетом кодов реальных значений весов разрядов ЦАП, определенных в режиме проверки. Проверка осуществляется на основе сравнения различных кодовых представлений, соответствующих одному и тому же значению аналогового величин.

В режиме проверки производится определение кодовых реальных весов разрядов основного ЦАП 5, причем его разряды делятся на группы неточных (старших) и точных (младших) разрядов. Такой подход оправдан для формирования весов разрядов ЦАП с одинаковой относительной погрешностью δQ . В этом случае абсолютные отклонения ΔQ_i от требуемых значений $Q_{i\text{т}}$ для старших разрядов будут большими, а для младших — малыми. Поэтому определение кодов реальных весов разрядов производится только для группы из m старших разрядов. Значение определяется из условия

$$Q_{i\text{т}-1} \leq \Delta Q_{i\text{т}-m+1} \leq Q_{i\text{т}+1},$$

где n — количество разрядов основного ЦАП 5;

$\Delta Q_{i\text{т}-m+1}$ — отклонения от требуемого значения веса $(n-m+1)$ -го разряда;

$$Q_{i\text{т}-1},$$

$$Q_{i\text{т}+1}$$

— значения весов 1-го и 2-го младших разрядов соответственно.

После изготовления предлагаемого ЦАП измеряются реальные веса точных разрядов, их кодовые эквиваленты записываются в блок 41 и в дальнейшем используются при проверке. Определение кодов реальных весов неточных разрядов производится в режиме проверки и осуществляется последовательно от младшего из неточных разрядов к старшему. При этом дополнитель-

ный ЦАП 7 генерирует ступенчато нарастающий аналоговый сигнал A , число уровней которого соответствует числу неточных разрядов основного ЦАП 5.

Определение реального веса каждого неточного разряда производится за два цикла. В первом цикле происходит преобразование j -й ступени сигнала A , поступающего на первый вход блока 6 сравнения, в код K_j . При этом на второй вход блока 6 поступает компенсирующий аналоговый сигнал $A_{\text{к}}$, формирующийся на выходе ЦАП 5. Причем блок 9 в первом цикле выдает сигнал запрета на включение j -го поверяемого разряда.

Первый цикл проверки осуществляется следующим образом. По команде из блока 9 старший разряд регистра 4 устанавливается в единичное состояние. На выходе ЦАП 5 при этом появится аналоговый сигнал $A_{\text{к}}$, равный весу старшего разряда Q . С помощью блока 6 производится сравнение величин аналоговых сигналов A_j и $A_{\text{к}}$. Выходной сигнал y_j блока 6 удовлетворяет условию:

$$y_j = \begin{cases} 0, & A_j < A_{\text{к}}; \\ 1, & A_j \geq A_{\text{к}}. \end{cases}$$

Если в результате сравнения $y_j = 1$, то n -й разряд в регистре 4 остается в единичном состоянии. Далее происходит включение следующего $(n-1)$ -го разряда. При этом компенсирующий аналоговый сигнал $A_{\text{к}}$ станет равным сумме величин Q_n и Q_{n-1} .

Если $y_j = 0$, то n -й разряд в регистре 4 сбрасывается в нулевое состояние и также включается следующий $(n-1)$ -й разряд, при этом $A_{\text{к}} = Q_{n-1}$.

Далее производится сравнение аналоговых сигналов A_j и $A_{\text{к}}$. Преобразование осуществляется за n этапов сравнения. Величина компенсирующего аналогового сигнала $A_{\text{к}}$ на каждом этапе определяется из выражения

$$A_{\text{к}} = \sum_{i=1}^n y_i \cdot Q_{n-i+1},$$

где y_i — выходной сигнал блока 6 на i -м этапе;

Q_{n-i+1} — вес $(n-i+1)$ -го разряда ЦАП 5. По выходным сигналам блока 6 и с помощью блоков 41, 42 результат первого кодирования j -й ступени аналогового сигнала вычисляется в фибоначчевом сумматоре вычитателя 43 по формуле

$$K_j = \sum_{i=1}^{j-1} a_i' \cdot N_i,$$

где a_i' — двоичная цифра i -го разряда, определяемая блоком 6;

N_i — код реального веса i -го разряда, хранящийся в блоке 41.

Операция суммирования в фибоначчевом сумматоре-вычитателе 43 повторяется для все значащих разрядов кода K_j .

Во втором цикле проверки производится повторное уравновешивание j -й ступени аналогового сигнала A_j блоками 4, 9, 14, причем запрета включения j -го поверяемого разряда не происходит.

Код K_j второго результата уравновешивания получается последовательным вычитанием из кода K_j' , хранящегося в блоке 43 после первого цикла, реальных весов разрядов N_i , оставленных включенными в результате повторного кодирования.

Код K_j второго результата уравновешивания вычисляется в блоке 43 по формуле

$$K_j = K_j' - \sum_{i=1}^n a_i' \cdot N_i,$$

где a_i' — двоичная цифра i -го разряда, определяемая в блоке 6 при повторном уравновешивании.

Причем, так как с целью упрощения вычислений перед началом режима самопроверки кодам реальных значений весов неточных разрядов присваивается нулевое значение, то код K_j соответствует коду реального значения веса j -го разряда ($N_j = K_j$). Далее код N_j переписывается в блок 42. На этом процесс определения кода реального значения веса j -го разряда ЦАП 5 заканчивается.

Определение кодов реальных значений весов остальных неточных разрядов происходит аналогично и с учетом ранее определенных кодов весов младших неточных разрядов. Процесс проверки заканчивается после определения кодов реальных значений весов всех старших разрядов.

На втором этапе проверки при имитации различных входных кодовых комбинаций производится вычисление цифровых эквивалентов слов старших разрядов входного кода и цифровых эквивалентов слов старших разрядов входного кода, представляющих код разности весов единичных разрядов старших групп входного и рабочего кодов.

В качестве имитатора старших разрядов входного кода используется фибоначчевый реверсивный счетчик 37, который последовательно формирует все возможные комбинации. Для каждого имитированного входного кода определяется цифровой эквивалент путем суммирования кодов реальных значений весов старших значений разрядов, а также определяется код разности весов единичных разрядов старшей группы имитированного входного и рабочего кодов.

Цифровые эквиваленты слов старших разрядов, вычисленные для каждого из ко-

дов, записываются в блок 11, а коды разности весов единичных разрядов старших групп входного и рабочего кодов — в блок 10.

Адрес блоков 10 и 11 задается фибоначиевым реверсивным счетчиком 38. Блок 11 должен содержать группу старших разрядов рабочего кода. Причем эта кодовая комбинация определяется так, что сумма реальных весов единичных разрядов этой группы меньше или равна сумме весов разрядов, образующих адрес. Разность этих сумм представляется в виде кода и записывается в блок 10.

Работа устройства на втором этапе проверки осуществляется следующим образом.

По сигналам блока 9 обнуляются регистры 44 и 47, фибоначиевый сумматор-вычитатель 43. Фибоначиевый реверсивный счетчик 37 устанавливается в нулевое состояние. С помощью цифрового коммутатора 45 содержимое фибоначиевого реверсивного счетчика 37 записывается в регистр 44, остальные разряды которого заменяются нулями.

Затем в фибоначиевый сумматор-вычитатель 43 записывается содержимое регистра 44 и код реального веса старшего разряда K_{rn} , хранимый в блоке 42, и они сравниваются. При сравнении анализируется выходной сигнал 21 блока 43. Причем, если выходной сигнал 21 равен 0, то содержимое регистра 44 не изменяется и в регистр 47 записывается ноль при помощи блока 9. Если выходной сигнал 21 равен 1, то в регистр 44 записывается остаток (дальнейшее сравнение производится с ним), а в регистр 47 — единица.

Далее сравнивается содержимое регистра 44 с кодом реального веса следующего старшего разряда K_{rn-1} . Сравнение происходит аналогично и это выполняется для всех кодов реальных значений весов старших разрядов, определенных на первом этапе проверки. В результате в регистре 47 сформируется код M_n , являющийся цифровым эквивалентом слов старших разрядов входного кода, который по сигналу блока 9 перепишется в блок 11. Содержимое регистра 44 перепишется в блок 10. Адрес блоков 10 и 11 задается фибоначиевым реверсивным счетчиком 38.

После этого счетчик 37 меняет свое состояние и весь процесс происходит аналогично описанному.

В режиме непосредственного преобразования входной n -разрядный код K поступает на входную шину 1. Старшие с n -го по $(n-m+1)$ -й разряды кода K с помощью блока 11 преобразуются в старшие с (n) -го по $(n-m+1)$ -й разряды рабочего кода K_{rn} . Старшие с (n) -го по $(n-m+1)$ -й разряды кода с помощью блока 10 преобразуются также в код разности весов единичных разрядов старших групп входного кода и рабочего K_{rn} кодов. Код с выхода блока

10 с помощью блока 3 суммируется с группой младших $(n-m)$ разрядов, поступающих на второй информационный вход блока 3, и поступает на вход блока 2. С помощью блока 2 формируются младших $(n-m+1)$ разряды кода K_{rn} ($n-m+1$)-й разряд кода K_{rn} определяется при помощи элемента ИЛИ 12 в результате логического сложения младшего 11 и старшего 2 разрядов блоков. Код с выходов блоков 11, 12 и 2 поступает на вход коммутатора 14. После коммутации код K_{rn} поступает на вход ЦАП 5, в результате чего на выходной шине 15 устройства появится аналоговая величина, соответствующая входному коду K .

Блок 9 управления выполнен на базе последовательностной схемы с использованием постоянного запоминающего устройства.

Необходимые для управления функционированием ЦАП управляющие и условные сигналы приведены в таблице при $n=6$, $m=3$.

Алгоритм работы устройства (фиг. 4 и 5) состоит из вершин В (1—3) — начальная установка регистра 4 блока 43, запись в регистр 8; В (4—26) — первое кодирование А4 с запретом; В (27—64) — второе кодирование А4 без запрета; В (65—68) — запись K_n в блок 42, сдвиг регистра 8, обнуление блока 43; В (69—100) — первое кодирование А5 с запретом; В (101—145) — второе кодирование А5 без запрета; В (146—149) — запись K_{05} в блок 42, сдвиг регистра 8, обнуление блока 43; В (150—186) второе кодирование А6 с запретом; В (187—241) — второе кодирование А6 без запрета; В (242) — запись K_n в блок 42; В (243—244) — обнуление блоков 43, 44, 47, установка в «0» счетчика 37; В (245—368) — определение цифровых эквивалентов слов старших разрядов входного кода и цифровых эквивалентов слов старших разрядов входного кода, представляющих код разности весов единичных разрядов старших групп входного и рабочего кодов; В (369—376) — непосредственное цифроаналоговое преобразование.

Формула изобретения

1. Цифроаналоговый преобразователь, содержащий основной цифроаналоговый преобразователь, первый блок оперативной памяти, управляющий вход которого подключен к первому выходу блока управления, выходы которого подключены к соответствующим первым информационным входам фибоначиевого сумматора-вычитателя, первый и второй выходы которого подключены соответственно к первому и второму входам блока управления, управляющие входы фибоначиевого сумматора-вычитателя подключены к соответствующим вторым выходам блока управления, третий выход которого подключен к управляющему входу цифрового коммутатора, четвертый и пятый выходы блока

управления подключены соответственно к тактовому и информационному входам регистра последовательного приближения, шестой и седьмой выходы блока управления подключены соответственно к входам записи и сдвига регистра сдвига, выходы которого подключены к входам дополнительного цифроаналогового преобразователя, выход которого подключен к первому входу блока сравнения, второй вход которого подключен к выходу основного цифроаналогового преобразователя и является выходной шиной, выход блока сравнения подключен к третьему входу блока управления, четвертый вход которого является шиной «запуска», отличающийся тем, что, с целью повышения быстродействия, в него введены блок постоянной памяти, второй блок оперативной памяти, элемент ИЛИ, вычислительный блок, информационные входы которого являются соответствующими входными шинами m старших разрядов преобразуемого кода, управляющие входы вычислительного блока подключены к соответствующим восьми выходам блока управления, первый и второй выходы вычислительного блока подключены соответственно к пятому и шестому входам блока управления, девятый выход которого подключен к управляющему входу второго блока оперативной памяти, информационные входы которого объединены с соответствующими информационными входами первого блока оперативной памяти и подключены к соответствующим третьим выходам вычислительного блока, адресные входы второго блока оперативной памяти объединены с соответствующими адресными входами первого блока оперативной памяти и подключены к соответствующим десяткам выходам блока управления, седьмой и восьмой вход которого являются соответственно первой и второй управляющими шинами, девятый вход подключен к выходу окончания преобразования регистра последовательного приближения, информационные входы которого подключены к соответствующим первым информационным входам цифрового коммутатора, выходы которого подключены к входам основного цифроаналогового преобразователя, вторые p информационных входов, где p — число разрядов преобразуемого кода, подключены соответственно к выходам блока постоянной памяти с первого по $(p - m)$ -й, выходу элемента ИЛИ, выходам второго блока оперативной памяти с второго по m -й, первый выход которого подключен к первому входу элемента ИЛИ, второй вход которого подключен к $(p - m + 1)$ выходу блока постоянной памяти, входы которого подключены к соответствующим третьим выходам фибоначиевого сумматора-вычитателя, вторые информационные входы которого являются соответствующими входными шинами $n - m$ младших разрядов преобразуемого кода.

2. Преобразователь по п. 1, отличающийся тем, что вычислительный блок выполнен на блоке постоянной памяти, блоке оперативной памяти, первом и втором регистрах, первом и втором цифровых коммутаторах, фибоначиевом сумматоре-вычитателе, первый и второй выходы которого являются соответственно первым и вторым выходами вычислительного блока, третьи выходы подключены к соответствующим информационным входам блока оперативной памяти и к соответствующим первым информационным входам первого цифрового коммутатора, первые информационные входы фибоначиевого сумматора-вычитателя подключены к соответствующим выходам блоков постоянной и оперативной памяти, соответствующие адресные входы которых и входы разрешения считывания попарно объединены, вторые информационные входы фибоначиевого сумматора-вычитателя объединены с соответствующими первыми информационными входами второго цифрового коммутатора и подключены к соответствующим выходам первого цифрового коммутатора, вторые информационные входы второго цифрового коммутатора подключены к соответствующим выходам второго регистра, третьи, информационные входы второго цифрового коммутатора являются соответствующими информационными входами вычислительного блока, а выходы являются соответствующими третьими выходами вычислительного блока, при этом адресные входы, вход разрешения считывания и вход записи-считывания блока оперативной памяти, управляющие входы фибоначиевого сумматора-вычитателя, входы записи и обнуления первого регистра, адресный вход и вторые информационные входы первого цифрового коммутатора, первый и второй адресные входы второго цифрового коммутатора, входы записи и обнуления второго регистра являются соответствующими управляющими входами вычислительного блока.

3. Преобразователь по п. 1, отличающийся тем, что блок управления выполнен на блоке постоянной памяти, регистре, генераторе тактовых импульсов, первом и втором фибоначиевых реверсивных счетчиках, мультиплексоре, выход которого подключен к первому адресному входу блока постоянной памяти, выходы которого подключены к соответствующим информационным входам регистра, тактовый вход которого подключен к выходу генератора тактовых импульсов, вход обнуления является четвертым входом блока управления, выходы регистра с первого по четвертый являются соответственно выходами с четвертого по седьмой блока управления, выходы регистра с пятого по девятый являются соответствующими вторыми выходами блока управления, выходы регистра с десятого по двадцать третий, выходы первого фибоначиевого реверсивного счетчика, входы которого

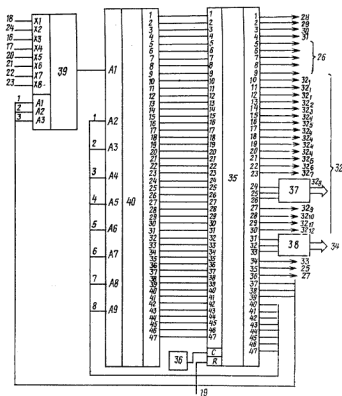
подключены к выходам регистра с двадцать четвертого по двадцать шестой, и выходы регистра с двадцать седьмого по тридцатый являются соответствующими восьмью выходами блока управления, выходы регистра с тридцать первого по тридцать третий подключены к соответствующим входам второго фибоначчиевого реверсивного счетчика, выходы которого являются соответствующими десятиями выходами блока управления, выходы регистра с тридцать четвертого по тридцать шестой являются соответ-

ственно девятым, первым и третьим выходами блока управления, выходы регистра с тридцать седьмого по тридцать девятый подключены к соответствующим управляющим входам мультиплексора, выходы регистра с сорокового по сорок седьмой подключены к адресным входам блока постоянной памяти с второго по девятый, информационные входы мультиплексора с первого по восьмой являются соответственно третьим, девятым, первым, вторым, пятым, шестым, седьмым и восьмым входами блока управления.

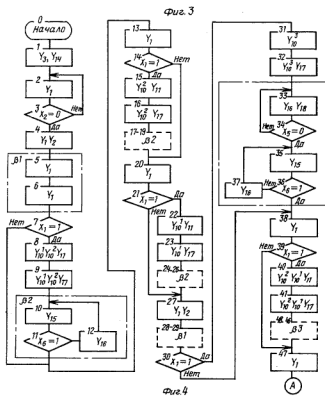
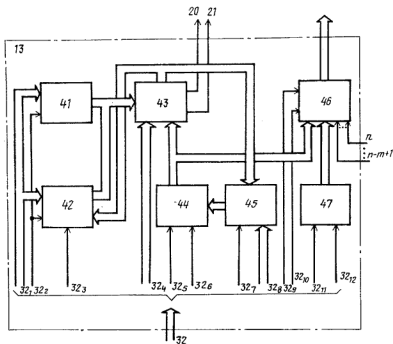
Номер связи	Обозначение	Сигнал	Примечание
1	2	3	4
18	X ₁	Выход блока 6	
24	X ₂	Завершение преобразования	
16	X ₃	1-й выход блока 3	
17	X ₄	2-й выход блока 3	
20	X ₅	1-й выход блока 43	
21	X ₆	2-й выход блока 43	
22	X ₇	Режим 1	При X ₇ =1 - проверка
23	X ₈	Режим 2	При X ₈ =1 - разрешение преобразования
28	Y ₁	Синхроимпульс регистра 4	
29	Y ₂	Информационный вход регистра 4	
30	Y ₃	Запись регистра 8	
31	Y ₄	Сдвиг регистра 8	
	Y ₅		1-й управляющий вход блока 3
	Y ₆		2-й управляющий вход блока 3
26	Y ₇		3-й управляющий вход блока 3
	Y ₈		4-й управляющий вход блока 3
	Y ₉		5-й управляющий вход блока 3

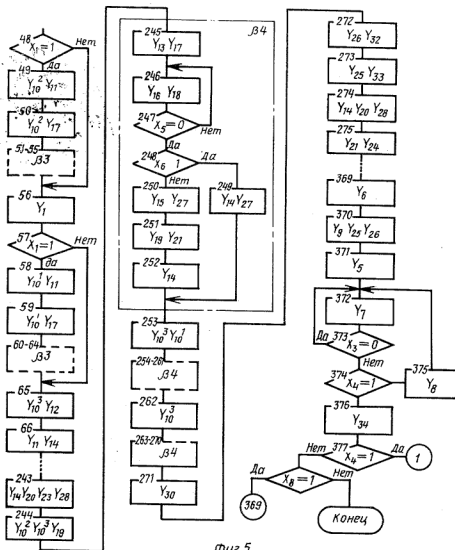
1	2	3	4
32.1	Y_{10}	Адрес блоков 41 и 42	
32.2	Y_{11}	Выборка блоков 41 и 42	При $Y_{11} = 1$ - выборка блока 41
32.3	Y_{12}	Запись-считывание блока 42	При $Y_{12} = 1$ - запись
	Y_{13}		1-й управляющий вход блока 43
	Y_{14}		2-й управляющий вход блока 43
32.4	Y_{15}		3-й управляющий вход блока 43
	Y_{16}		4-й управляющий вход блока 43
	Y_{17}		5-й управляющий вход блока 43
	Y_{18}		
32.5	Y_{19}	Импульс записи регистр 44	6-й управляющий вход блока 43
32.6	Y_{20}	Обнуление регистр 44	
32.7	Y_{21}	Адрес коммутатора 45	При $Y_{21} = 1$ - коммутируется выход блока 43
	Y_{22}	Режим счетчика 37	При $Y_{22} = 1$ - суммирование
	Y_{23}	Установка в "0" счетчика 37	
	Y_{24}	Синхронимпульс счетчика 37	
32.9	Y_{25}	1-й адрес коммутатора 46	При $Y_{25} = 1$ - коммутируется выход регистра 44
32.10	Y_{26}	2-й адрес коммутатора 46	При $Y_{26} = 1$ - коммутируется выход регистра 47
			При $Y_{25} = 1, Y_{26} = 1$ - коммутируется группа старших разрядов входного кода
32.11	Y_{27}	Запись регистра 47	
32.12	Y_{28}	Обнуление регистра 47	

1	2	3	4
	Y_{29}	Режим счетчика 38	При $Y_{29} = 1$ - суммирование
	Y_{30}	Установка в "0" счетчика 38	
	Y_{31}	Синхриимпульс счетчика 38	
33	Y_{32}	Запись-считывание блока 11	При $Y_{32} = 1$ - запись
25	Y_{33}	Запись-считывание блока 10.	При $Y_{33} = 1$ - запись
27	Y_{34}	Адрес коммутатора 14	При $Y_{34} = 0$ - коммутируется выход регистра 4



Фиг. 2





Фиг. 5

Редактор Н. Гуныко
Заказ 2531/56
ВНИИПИ Государственного комитета СССР по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4

Составитель В. Першико
Техред И. Верес
Тираж 901
Корректор Г. Решетник
Подписное