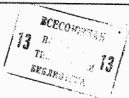




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

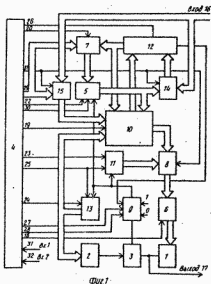
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4115307/24-24
- (22) 16.06.86
- (46) 23.06.88. Бюл. № 23
- (72) А.Д.Азаров, В.И.Моисеев,  
В.Я.Стейскал и Т.Н.Васильева
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР  
№ 864543, кл. Н 03 М 1/66, 1979.  
Авторское свидетельство СССР  
№ 1248072, кл. Н 03 М 1/66, 1984.

(54) УСТРОЙСТВО ЦИФРОАНАЛОГОВОГО ПРЕОБРАЗОВАНИЯ

(57) Изобретение относится к цифровой измерительной и вычислительной технике и может быть использовано для преобразования цифровых величин в аналоговые. Устройство позволяет повысить быстродействие цифроаналогового преобразователя, работающего в избыточном измерительном коде (ИИК). Применение самокоррекции, основанной на использовании ИИК, обеспечивает высокую точность преобразования. Преобра-



зование входного двоичного кода в рабочий код осуществляется параллельным методом, что повышает быстродействие устройства. Устройство при помощи основного и вспомогательного цифроаналоговых преобразователей 1 и 2, регистров 5, 6, 11, 13, блока памяти 10, блока сравнения 3, арифметико-логического устройства 12, блока управления 4 и цифровых коммутаторов 7, 8,

9 проводит определение кодов реальных весов разрядов основного цифроаналогового преобразователя 1. Введение цифровых коммутаторов 14 и 15 позволяет на основании полученных кодов произвести формирование массива кодов, размещаемых в блоке памяти 10, и формировать рабочий код из входного двоичного за один такт суммирования. 2 з.п. ф-лы, 3 ил.

1

Изобретение относится к вычислительной и цифровой измерительной технике и может быть использовано для преобразования цифровых величин в аналоговые.

Цель изобретения - повышение быстродействия.

На фиг.1 приведена функциональная схема устройства цифроаналогового преобразования; на фиг.2 - функциональная схема блока памяти; на фиг.3 - функциональная схема блока управления.

Устройство цифроаналогового преобразования (фиг.1) содержит основной цифроаналоговый преобразователь 1 (ЦАП0), вспомогательный цифроаналоговый преобразователь 2 (ЦАП1), блок 3 сравнения, блок 4 управления, первый и второй регистры 5 и 6, первый, второй и третий цифровые коммутаторы 7-9, блок 10 памяти, регистр 11 последовательного приближения (РПП), арифметико-логическое устройство 12 (АЛУ), регистр 13 сдвига, четвертый и пятый цифровые коммутаторы 14 и 15, входную шину 16, выходную шину 17. Блок 4 управления имеет тринадцать выходов 18-30 и первый и второй входы 31 и 32.

Блок 10 памяти (фиг.2) выполнен на первом, втором и третьем запоминающих устройствах 33-35 и элементе ИЛИ 36. Блок 4 управления выполнен на тактовом генераторе 37, устройстве 38 памяти микрокоманд, регистре 39 микрокоманд, первом и втором счетчиках 40 и 41, блоке 42 элементов сравнения кодов, цифровом коммутаторе 43.

2

Устройство работает следующим образом.

Основной цифроаналоговый преобразователь 1 данного устройства построен на основе избыточного измерительного кода, что позволяет исключить разрывы выходной характеристики и производить ее линеаризацию путем цифровой коррекции. Использование избыточного кода приводит к увеличению избыточности основного ЦАП, разрядность которого  $n^*$  больше разрядности  $n$  эквивалентного двоичного цифроаналогового преобразователя. Блок 3 сравнения осуществляет сравнение аналоговых сигналов  $A_1$  на выходе основного ЦАП1 и  $A_2$  на выходе вспомогательного ЦАП 2, причем сигнал  $Y$  на выходе блока 3 сравнения подчиняется следующему соотношению:

$$Y = \begin{cases} 1, & \text{если } A_1 \leq A_2, \\ 0, & \text{если } A_1 > A_2. \end{cases}$$

Предлагаемое устройство функционирует в двух режимах: режиме проверки и непосредственного цифроаналогового преобразования.

В режиме проверки происходит сначала определение кодов реальных значений весов разрядов основного ЦАП 1. Причем,  $n^*$  его разрядов делится на группу из  $m^*$  старших (поверяемых) и  $(n^*-m^*)$  младших (точных) разрядов. Такой подход справедлив при формировании весов разрядов с одинаковой относительной погрешностью.

Значение весов младших разрядов основного ЦАП 1 замеряются после изготовления устройства и их коды занос-

сятся в область памяти первого запоминающего устройства блока 10 памяти в ячейки с номерами от  $A_0$  до  $A_{n^*-m^*-1}$ .  
 Определение кодов  $K_p$  реальных значений весов разрядов производится только из  $m^*$  старших разрядов.

Определение кодов старших разрядов происходит при формировании вспомогательным ЦАП 2 ступенчато нарастающей аналоговой величины  $A_{2i}$ , каждая ступень которой соответствует весу  $i$ -го поверяемого разряда. Каждый аналоговый сигнал  $A_{2i}$  дважды уравновешивается по методу поразрядного кодирования компенсирующим сигналом  $A_i$  основного ЦАП 1 - один раз с запретом включения поверяемого разряда, второй раз - без запрета. По результатам двух кодирований определяется код реального веса поверяемого разряда.

Определение реальных весов осуществляется следующим образом. По сигналам блока 4 управления происходит обнуление первого регистра 5, обнуление участка первого запоминающего устройства блока 10 управления адресами  $A_{n^*-m^*}$  до  $A_{n^*-1}$ , запись исходного кода в регистр 13 сдвига, установка начального состояния регистра 11 последовательного приближения, подключение выходов арифметико-логического устройства 12 через первый цифровой коммутатор 7 к входам первого регистра 5. Сигнал на выходе 21 блока 4 управления коммутирует выходы первого регистра 5 на входы арифметико-логического устройства 12, выходы регистра 11 последовательного приближения на входы второго регистра 6 и выходы 29 блока 4 управления - на первые адресные входы блока 10 памяти. На выходе вспомогательного ЦАП 2 появится аналоговый сигнал  $A_{2(n^*-m^*)}$ . Значение вспомогательного аналогового сигнала должно быть таким, чтобы при поразрядном уравновешивании его компенсирующим сигналом основного ЦАП 1 произошло включение поверяемого  $(n^*-m^*)$ -го разряда, т.е.  $A_{2(n^*-m^*)}$  должен превышать реальный вес поверяемого разряда на 5-20%. Далее при помощи блоков 1-6, 9, 11 производится аналого-цифровое преобразование сигнала  $A_{2(n^*-m^*)}$ . Результат первого преобразования  $K'_{2(n^*-m^*)}$  которое осуществляется с запретом включения  $(n^*-m^*)$ -го разряда, формируется в регистре 11 последовательного приближе-

ния при помощи блока 4 управления и третьего цифрового коммутатора 9. Одновременно с этим в первом регистре 5 формируется двоичный код, код первого преобразования  $K'_{2(n^*-m^*)}$  при помощи блоков 4, 5, 10, 9, 12 по формуле

$$K'_{2(n^*-m^*)} = \sum_{i=0}^{n-1} a_i^I \cdot K_i,$$

где  $a_i \in \{0, 1\}$  - разрядные коэффициенты первого кодирования  $K'_{n^*-m^*}$ .

Результат второго кодирования  $K''_{n^*-m^*}$  также формируется в регистре 11 последовательного приближения, а соответствующий ему двоичный код  $K'_{2(n^*-m^*)}$  в первом регистре 5 по формуле

$$K'_{2(n^*-m^*)} = K'_{2(n^*-m^*)} - \sum_{i=0}^{n-1} a_i^II \cdot K_i, \quad (1)$$

где  $a_i \in \{0, 1\}$  - разрядные коэффициенты второго кодирования  $K''_{n^*-m^*}$ .

Так как в выражении (1) коды  $K_i$  равны нулю при  $i \geq n^*-m^*$ , то код  $K'_{2(n^*-m^*)}$  равен коду реального веса  $(n^*-m^*)$ -го разряда, т.е.  $K'_{n^*-m^*} = K'_{2(n^*-m^*)}$ . По сигналу блока 4 управления этот код переписывается в первое запоминающее устройство блока 10 памяти по адресу  $A_{n^*-m^*}$ .

Далее производится сдвиг регистра 13 сдвига, в результате чего на выходе вспомогательного ЦАП 2 появится аналоговый сигнал для определения реального веса следующего поверяемого разряда.

Этот процесс аналогичен для всех последующих разрядов и заканчивается после определения кодов реальных весов всех старших разрядов. Вычисленные коды записывают в область первого запоминающего устройства с адресами от  $A_{n^*-m^*}$  до  $A_{n^*-1}$ .

Затем происходит формирование кодовых комбинаций старших  $m^*$  разрядов рабочего кода, соответствующих старшей  $m$ -разрядной группе входного кода. Формирование рабочих кодовых комбинаций происходит последовательно для всех  $2^m$  комбинаций старших разрядов входного двоичного кода от 0 до  $2^m - 1$ , при этом его младшие  $n-m$  разрядов полагаются равными нулю.

Блок 4 управления через первый цифровой коммутатор 7 записывает в первый регистр 5 преобразуемую кодо-

вую комбинацию  $K_0$ . Затем происходит последовательное сравнение содержимого первого регистра 5 с весами разрядов от  $(n^*-1)$ -го по  $(n^*-m^*-1)$ -й, записанными в блок 10 памяти. При этом, если вес  $i$ -го разряда меньше или равен содержанию первого регистра, то на втором выходе арифметико-логического устройства 12 появляется сигнал логической единицы и в регистр 13 сдвига будет записана "1", а вес  $i$ -го разряда вычитается из содержимого первого регистра 5. В результате к концу такого преобразования в регистре 13 сдвига будут сформированы старшие  $m+1$  разрядов  $K_{p1}$  рабочего кода, а в первом регистре 5 - двоичный код  $K_{p1}$ , разности исходной кодовой комбинации и суммы весов единичных разрядов старшей группы разрядов. Полученные кодовые комбинации переписываются в блок 10 памяти, причем двоичный код остатка  $K_{p1}$  записывается в первое запоминающее устройство, а старшие разряды рабочего кода  $K_{p1}$  - во второе запоминающее устройство. Адресом записи служит исходная кодовая комбинация  $K_0$ , которая устанавливается блоком 4 управления на первом адресном входе блока 10 памяти через пятый цифровой коммутатор 15. Таким образом заполняются все ячейки первого и второго запоминающих устройств с адресами от 0 до  $2^{n-1}$ .

Кодовые комбинации  $K_{p2}$  для младших разрядов рабочего кода вычисляются на основе измеренных весов младших разрядов основного ЦАП 1 и заносятся в третье запоминающее устройство на этапе изготовления устройства. Третье запоминающее устройство может быть выполнено на основе постоянного запоминающего устройства и содержит  $2^{n-m+1} (n^*-m^*)$ -разрядных кодовых комбинаций  $K_{p2}$ .

В режиме непосредственного преобразования устройство работает следующим образом. Входной  $n$ -разрядный двоичный код  $K_{вх}$  поступает на вход 16 устройства. Старшие  $m$  разрядов входного кода  $K_{вх}$  через пятый цифровой коммутатор 15 поступают на адресные входы первого и второго запоминающих устройств блока 10 памяти. На выходе второго запоминающего устройства 34 появляются старшие с  $(n^*-1)$ -го по  $(n^*-m^*-1)$ -й разряды рабочего кода, причем  $(n^*-m^*-1)$ -разряд поступает на

вход элемента ИЛИ 36. На выходе первого запоминающего устройства 33 появится код  $K_{з1}$ , который при помощи арифметико-логического устройства 12 суммируется с младшими  $(n-m)$  разрядами входного двоичного кода, поступающими на вход арифметико-логического устройства 12 через четвертый цифровой коммутатор. Полученная сумма поступает на вход третьего запоминающего устройства блока 10 памяти, где преобразуется в код младших  $n^*-m^*$  разрядов рабочего кода с 0-го по  $n^*-m^*-1$ . Все разряды сформированного рабочего кода поступают на вход блока 10 памяти непосредственно с выходов второго запоминающего устройства и третьего запоминающего устройства, кроме  $(n^*-m^*-1)$ -го разряда, который формируется путем логического сложения соответствующих разрядов второго запоминающего устройства и третьего запоминающего устройства на элементе ИЛИ 36. Рабочий код переписывается через второй цифровой коммутатор 8 во второй регистр 6 и поступает на вход основного ЦАП 1, в результате чего на выходной шине 17 устройства появится аналоговая величина, соответствующая входному двоичному коду  $K_{вх}$ .

#### Ф о р м у л а   и з о б р е т е н и я

1. Устройство цифроаналогового преобразования, содержащее основной цифроаналоговый преобразователь, регистр сдвига, выходы которого подключены к соответствующим входам вспомогательного цифроаналогового преобразователя, выход которого подключен к первому входу блока сравнения, второй вход которого является выходной шиной устройства и соединен с выходом основного цифроаналогового преобразователя, входы которого подключены к соответствующим выходам второго регистра, управляющий вход которого подключен к первому выходу блока управления, с второго по седьмой выходы блока управления подключены соответственно к управляющим входам блока памяти, первого и второго цифровых коммутаторов, первым управляющим входам первого регистра, регистра последовательного приближения и регистра сдвига, восьмой выход блока управления подключен к вторым управляющим

входам регистра последовательного приближения и регистра сдвига, а девятый выход - к управляющему входу арифметико-логического устройства, выходы которого подключены к соответствующим первым входам первого цифрового коммутатора, выходы которого подключены к соответствующим информационным входам первого регистра, второй управляющий вход которого объединен с информационным входом регистра последовательного приближения и подключен к выходу третьего цифрового коммутатора, а выходы подключены к соответствующим первым информационным входам блока памяти, первые выходы которого подключены к соответствующим первым входам второго цифрового коммутатора, второй выход арифметико-логического устройства подключен к первому информационному входу третьего цифрового коммутатора, второй информационный вход которого является шиной сигнала логической единицы, третий информационный вход - шиной сигнала логического нуля, четвертый информационный вход подключен к выходу блока сравнения, а первый и второй управляющие входы - соответственно к десятому и одиннадцатому выходам блока управления, первый и второй входы которого являются соответственно первой и второй управляющими шинами, отличаясь тем, что, с целью повышения быстродействия устройства, в него дополнительно введены четвертый и пятый цифровые коммутаторы, управляющие входы которых объединены с управляющим входом второго цифрового коммутатора, выходы четвертого цифрового коммутатора подключены к соответствующим информационным первым входам арифметико-логического устройства, вторые информационные входы которого подключены к соответствующим вторым выходам блока памяти, вторые информационные входы которого подключены к соответствующим выходам регистра сдвига, и информационный вход которого подключен к выходу третьего цифрового коммутатора, а первые информационные входы блока памяти объединены с соответствующими первыми информационными входами четвертого цифрового коммутатора, вторые информационные входы которого являются входами младших разрядов входной шины, первые информационные входы пя-

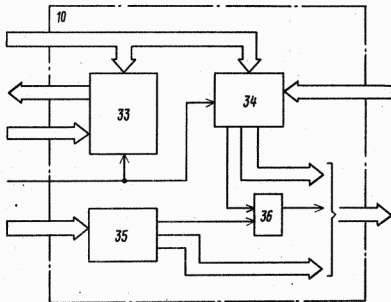
того цифрового коммутатора являются входами старших разрядов входной шины, а вторые информационные входы объединены с соответствующими вторыми информационными входами первого цифрового коммутатора и подключены к соответствующим двенадцатым выходам блока управления, тринадцатый выход которого подключен к третьему управляющему входу первого регистра, при этом выходы пятого цифрового коммутатора подключены к соответствующим первым адресным входам блока памяти, вторые адресные входы которого подключены к соответствующим выходам арифметико-логического устройства, а выходы регистра последовательного приближения подключены к соответствующим вторым информационным входам второго цифрового коммутатора, выходы которого подключены к соответствующим информационным входам второго регистра.

2. Устройство по п.1, отличающееся тем, что блок памяти выполнен на первом, втором и третьем запоминающих устройствах, элементе ИЛИ, первый вход которого подключен к первому выходу второго запоминающего устройства, второй вход - к первому выходу третьего запоминающего устройства, вторые выходы второго запоминающего устройства, выход элемента ИЛИ и вторые выходы третьего запоминающего устройства являются первыми выходами блока памяти, адресные входы третьего запоминающего устройства являются вторыми адресными входами блока памяти, выходы первого запоминающего устройства являются первыми информационными входами блока памяти, управляющий вход первого запоминающего устройства объединен с управляющим входом второго запоминающего устройства и является управляющим входом блока памяти, адресные входы первого запоминающего устройства объединены с соответствующими адресными входами второго запоминающего устройства и являются первыми адресными входами блока памяти, информационные входы второго запоминающего устройства являются вторыми информационными входами блока памяти.

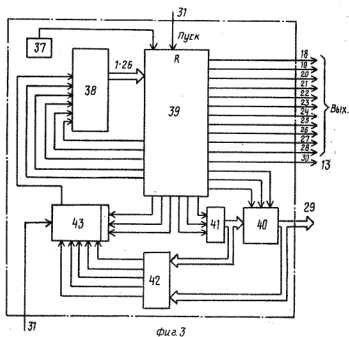
3. Устройство по п.1, отличающееся тем, что блок управления

выполнен на устройстве памяти микрокоманд, регистре микрокоманд, первом и втором счетчиках, блоке элементов сравнения кодов, цифровом коммутаторе, тактовом генераторе, выход которого подключен к входу записи регистра микрокоманд, информационные входы с первого по двадцать шестой которого подключены к соответствующим выходам устройства памяти микрокоманд, вход обнуления является вторым входом блока управления, выходы с первого по одиннадцатый - соответствующими выходами блока управления, двенадцатый выход - тринадцатым выходом блока управления, выходы с тринадцатого по пятнадцатый подключены соответственно к первому, второму и третьему управляющим входам первого счетчика, выходы которого являются двенадцатыми выходами блока управления и подключены к соответствующим первым входам блока элементов сравнения кодов, вто-

рые входы которого объединены с соответствующими информационными входами первого счетчика и подключены к соответствующим выходам второго счетчика, первый, второй и третий управляющие входы которого подключены соответственно к выходам регистра микрокоманд с шестнадцатого по восемнадцатый, выходы с девятнадцатого по двадцать первый которого подключены соответственно к адресным входам цифрового коммутатора с первого по третий, информационные входы с первого по пятый которого подключены к соответствующим выходам блока элементов сравнения кодов, шестой информационный вход является первым входом блока управления, выход подключен к первому адресному входу устройства памяти микрокоманд, адресные входы с второго по шестой которого подключены соответственно к выходам регистра микрокоманд с двадцать второго по двадцать шестой.



Фиг. 2



Фиг. 3

Составитель В. Першиков  
 Редактор С. Патрушева      Техред А. Кравчук      Корректор М. Максимович

Заказ 3110/56      Тираж 928      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4