



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

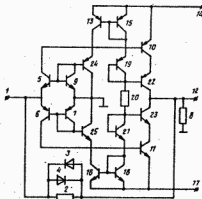
Н АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4268283/24-21
(22) 26.06.87
(46) 30.01.89. Вкл. № 4
(72) А.Д. Азаров, В.Я. Стейскал,
Ю.М. Степайко и В.П. Марценюк
(53) 621.318(088,8)
(56) Авторское свидетельство СССР
№ 1301506, кл. H 05 K 5/24, 08.07.85.

(54) ВХОДНОЕ УСТРОЙСТВО СХЕМЫ СРАВНЕНИЯ ТОКОВ

(57) Изобретение относится к импульсной технике и может быть использовано в аналого-цифровых преобразователях и в цифровых измерительных приборах. Цель изобретения - повышение быстродействия и уменьшение потребляемой мощности. Входное устройство схемы сравнения токов содержит входную шину 1, первый резистор 2, два встречно включенных диода 3, 4, пер-

вый, второй и третий транзисторы 5, 6, 7; второй резистор 8, четвертый, пятый, шестой транзисторы 9, 10, 11, выходную шину 12, седьмой транзистор 13, шину 14 положительного питания, восьмой, девятый транзисторы 15, 16, шину 17 отрицательного питания, десятый, одиннадцатый транзисторы 18, 19, третий резистор 20, двенадцатый, тринадцатый, четырнадцатый, пятнадцатый и шестнадцатый транзисторы 21, 22, 23, 24, 25. Введение пятнадцатого и шестнадцатого транзисторов 24, 25 позволяет повысить быстродействие схем сравнения токов, не требующих работы на большую емкостную нагрузку, и снизить мощность потребления за счет схемотехнического решения входного каскада, позволившего в β раз снизить его токи. 1 ил.



Изобретение относится к импульсной технике и может быть использовано в аналого-цифровых преобразователях и в цифровых измерительных приборах.

Целью изобретения является повышение быстродействия и уменьшение потребляемой мощности.

На чертеже представлена принципиальная схема входного устройства схемы сравнения токов.

Входное устройство схемы сравнения токов содержит входную шину 1, к которой подключены первые выводы первого резистора 2 и двух встречно включенных диодов 3, 4, эмиттер первого 5 и эмиттер второго 6 транзисторов, база второго из которых соединена с базой и коллектором третьего транзистора 7, эмиттер которого соединен с шиной нулевого потенциала, с первым выводом второго резистора 8 и с эмиттером четвертого транзистора 9, коллектор и база которого соединены между собой и с базой первого транзистора 5, коллектор которого соединен с базой пятого транзистора 10, а коллектор второго транзистора 6 соединен с базой шестого транзистора 11, выходящая шина 12 соединена с вторыми выводами первого и второго резисторов 2, 8 и двух встречно включенных диодов 3, 4, эмиттер седьмого транзистора 13 соединен с шиной 14 положительного питания и с эмиттером восьмого транзистора 15, коллектор и база которого соединены между собой и с базой седьмого транзистора 13, эмиттер девятого транзистора 16 соединен с шиной 17 отрицательного питания и с эмиттером десятого транзистора 18, коллектор и база которого соединены между собой и с базой девятого транзистора 16. Коллектор восьмого транзистора 15 соединен с эмиттером одиннадцатого транзистора 19, база и коллектор которого соединены между собой и подключены через третий резистор 20 к коллектору и базе двенадцатого транзистора 21 и непосредственно к базе тринадцатого транзистора 22, коллектор соединенного с коллектором четырнадцатого транзистора 23, при этом база пятнадцатого транзистора 24 соединена с коллектором четвертого транзистора 9, а коллектор - с коллектором шестнадцатого транзистора 25.

Устройство работает следующим образом.

При включении питания через третий резистор 20 и транзисторы 15, 21, 18, 19, включенные в диодном режиме, протекает ток смещения $I_{см}$:

$$I_{см} = \frac{U_{пит}^+ + U_{пит}^- - (U_{\beta 2}^{15} + U_{\beta 2}^{19} + U_{\beta 2}^{21} + U_{\beta 2}^{18})}{R_{\beta 2}}$$

где $U_{пит}^+$ и $U_{пит}^-$ - напряжения питания положительного и отрицательного источника питания соответственно;

$U_{\beta 2}^{15}$, $U_{\beta 2}^{19}$, $U_{\beta 2}^{21}$, $U_{\beta 2}^{18}$ - напряжение база-эмиттер транзисторов 15, 19, 21, 18;

$R_{\beta 2}$ - значение резистора 20.

Считая, что $U_{пит}^+ = U_{пит}^- = U_{пит}$ и $V_{\beta 2}$ всех транзисторов равны между собой, формулу можно переписать в следующем виде:

$$I_{см} = \frac{2U_{пит} - 4U_{\beta 2}}{R_{\beta 2}}$$

Входное устройство необходимо реализовать на парах транзисторов, выполненных в интегральном исполнении. Это позволяет коэффициент отражения токовых зеркал на транзисторах 13, 15, 16, 18, 5, 9, 6, 7 сделать практически равным единице. Следовательно, через транзисторы 13, 16, являющиеся источником и токоотводом тока соответственно, будет протекать ток, также равный $I_{см}$. Такой же ток будет протекать через транзисторы 24, 25, включенные по схеме с общей базой. Базовый ток этих транзисторов, в β раз меньший $I_{см}$, протекает через транзисторы 9, 7, соединенные в диодном включении. Датчики токовых зеркал на транзисторах 9, 5 и 7, 6 имеют коэффициент отражения, равный единице. Следовательно, через входной каскад на транзисторах 5 и 6 будет протекать ток, равный $I_{см}/\beta$, который, в свою очередь, является базовым током транзисторов 10, 11, являющихся вторыми транзисторами интегральных пар, первыми транзисторами которых являются транзисторы 24, 25 соответственно.

Значит, через транзисторы 10, 11 будет протекать ток, практически равный $I_{с.м.}$. Транзисторы 22, 23 включены по схеме с общей базой, и через них протекает ток транзисторов 10, 11, равный $I_{с.м.}$. При входном токе ($\Delta I_{вх.}$), равном нулю, в общем случае на выходе устройства будет протекать ток сдвига ($I_{сд.}$), определяемый формулой:

$$I_{сд.} = \frac{I_{с.м.}}{\beta_{мин}} + \frac{I}{1 + \frac{1}{\beta}}$$

где $\beta_{мин}$ - минимальное значение коэффициента β транзисторов одной из проводимостей;
 $\delta\beta$ - относительный коэффициент рассогласования коэффициентов β транзисторов разной проводимости, равный

$$\delta\beta = \frac{\beta_{макс.} - \beta_{мин.}}{\beta_{мин.}}$$

где $\beta_{макс.}$ - максимальное значение коэффициента β транзисторов одной из проводимостей.

При равенстве значений коэффициентов β , т.е. $\beta_{мин.} = \beta_{макс.}$, получим $I_{сд.} = 0$.

Учитывая, что схема симметрична относительно шины нулевого потенциала, рассмотрим работу только одной половины схемы, например нижней, при втекающем входном токе $\Delta I_{вх.} \neq 0$.

В данном случае первый каскад на транзисторе 6, включенный по схеме с общей базой, создает усиление по току, равное δ^{T_6} . Вторым усилительным каскадом является схема с общим эмиттером на транзисторе 11 с коэффициентом усиления по току, равным $\beta^{T_{11}}$. Третьим каскадом предлагаемого устройства является схема с общей базой на транзисторе 23 с коэффициентом усиления по току, равным $\delta^{T_{23}}$, работающим на резистор 8, являющимся нагрузкой.

Работа второй половины аналогична рассмотренной, только с противоположными по знаку приращениями.

Ф о р м у л а и з о б р е т е н и я

Входное устройство схемы сравнения токов, содержащее три резисто-

ра, два диода, четырнадцать транзисторов, шину нулевого потенциала, шину положительного питания, шину отрицательного питания, выходную шину, входную шину, к которой подключены первые выводы первого резистора и двух встречно включенных диодов, эмиттер первого и эмиттер второго транзисторов, база второго из которых соединена с базой и коллектором третьего транзистора, эмиттер которого соединен с шиной нулевого потенциала, с первым выводом второго резистора и эмиттером четвертого транзистора, коллектор и база которого соединены между собой и базой первого транзистора, коллектор которого соединен с базой пятого транзистора, а коллектор второго транзистора соединен с базой шестого транзистора, выходная шина соединена с вторыми выводами первого и второго резистора и двух встречно включенных диодов, эмиттер седьмого транзистора соединен с шиной положительного питания и эмиттером восьмого транзистора, коллектор и база которого соединены между собой и с базой девятого транзистора соединен с шиной отрицательного питания и эмиттером десятого транзистора, коллектор и база которого соединены между собой и с базой девятого транзистора, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия и уменьшения потребляемой мощности, в него введены пятнадцатый и шестнадцатый транзисторы, коллекторы которых соединены между собой и с шиной нулевого потенциала, база пятнадцатого транзистора соединена с коллектором четвертого, а эмиттер - с коллектором седьмого транзистора, база шестнадцатого соединена с коллектором третьего транзистора, а эмиттер - с коллектором девятого транзистора, коллектор восьмого транзистора соединен с эмиттером одиннадцатого транзистора, база и коллектор которого соединены между собой, с базой тринадцатого транзистора и первым выводом третьего резистора, второй вывод которого соединен с базой четырнадцатого транзистора, с коллектором и базой двенадцатого транзистора, эмиттер которого соединен с коллектором десятого транзистора, эмиттер пятого транзистора

соединен с шиной положительного питания, а коллектор с эмиттером тринадцатого транзистора, коллектор которого соединен с выходной шиной и коллектором четырнадцатого транзистора,

эмиттер которого соединен с коллектором шестого транзистора, эмиттер которого соединен с шиной отрицательного питания.

Редактор М. Циткина

Составитель Н. Маркин
Техред М. Ходанич

Корректор Н. Король

Заказ 7459/57

Тираж 879

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4