



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГИИТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4178341/24-24

(22) 09.01.87

(46) 23.04.89. Бюл. № 15

(72) А.Д.Азаров, В.П.Марценюк,  
В.И.Моисеев, В.Я.Стейскал  
и О.В.Коваль

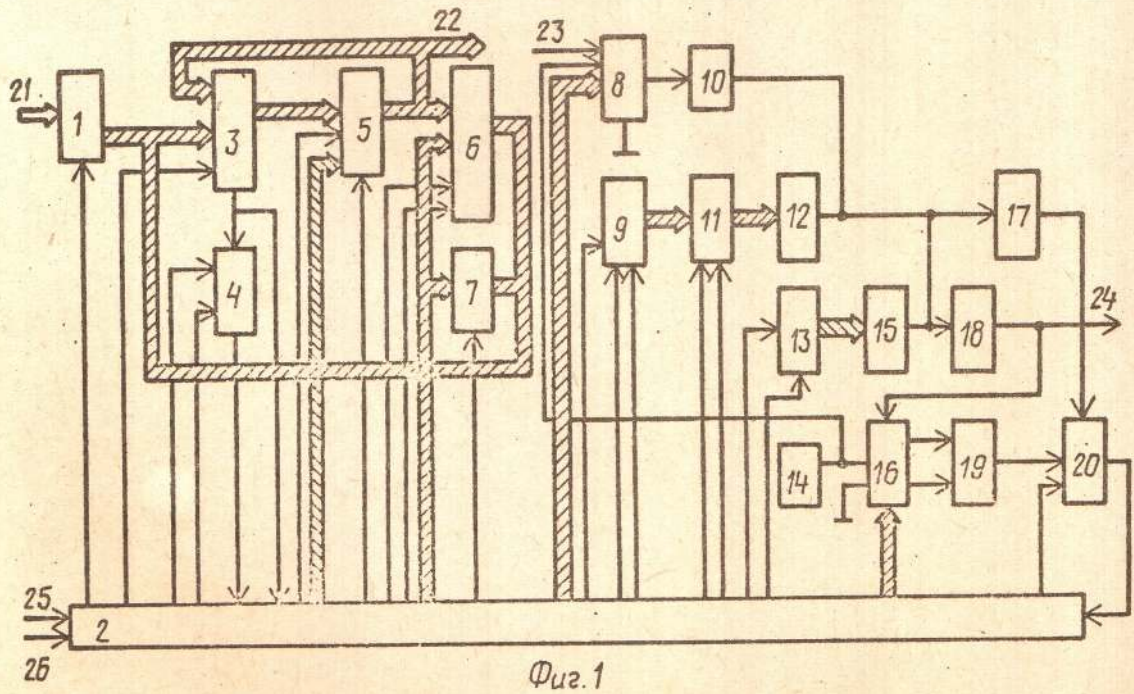
(53) 681.325(088.8)

(56) Патент США № 4160243,  
кл. Н 03 К 13/02, опублик. 1979.

Патент ГДР № 210511,  
кл. Н 03 К 13/02, опублик. 1984.

(54) УСТРОЙСТВО ДЛЯ АНАЛОГО-ЦИФРОВОГО  
И ЦИФРОАНАЛОГОВОГО ПРЕОБРАЗОВАНИЯ

(57) Изобретение относится к цифровой измерительной технике и может быть использовано в технике цифровой связи и магнитной цифровой записи. Цель изобретения - повышение точности преобразования. Устройство для аналого-цифрового и цифроаналогового преобразования содержит первый цифровой коммутатор 1, блок 2 управления, арифметико-логическое устройство 3, регистр 4 сдвига, накапливающий регистр 5, блок 6 оперативной памяти, блок 7 постоянной памяти,



Фиг. 1

аналоговый коммутатор 8, регистр 9 последовательного приближения, преобразователь 10 напряжение-ток, основной регистр 11, основной преобразователь 12 код-ток, вспомогательный регистр 13, источник 14 опорного напряжения, вспомогательный преобразователь 15 код-ток, блок 16 ключей, блок 17 сравнения токов, преобразователь 18 ток-напряжение, компаратор 19 напряжений, второй цифровой коммутатор 20, входную шину 21 преобразуемого кода, цифровую выход-

ную шину 22, аналоговые входную 23, выходную 24 шины, шину 25 "Режим преобразования", шину 26 "Контроль". Работа устройства основана на использовании избыточных измерительных кодов для коррекции аддитивных и мультипликативных погрешностей преобразования и обеспечения высокой линейности характеристики преобразования при использовании преобразователей код-ток, обладающих значительной погрешностью линейности. 1 з.п. ф-лы, 3 табл., 6 ил.

1

Изобретение относится к цифровой измерительной технике и может быть использовано в технике цифровой связи и магнитной цифровой записи.

Цель изобретения - повышение точности преобразования.

На фиг. 1 приведена функциональная схема устройства для аналого-цифрового и цифроаналогового преобразования; на фиг. 2 - схема блока управления; на фиг. 3 - пример выполнения блока ключей; на фиг. 4-6 - блок-схема алгоритма работы устройства.

Устройство для аналого-цифрового и цифроаналогового преобразования (фиг. 1) содержит первый цифровой коммутатор 1, блок 2 управления, арифметико-логическое устройство 3, регистр 4 сдвига, накапливающий регистр 5, блок 6 оперативной памяти, блок 7 постоянной памяти, аналоговый коммутатор 8, регистр 9 последовательного приближения, преобразователь 10 напряжение-ток, основной регистр 11, основной преобразователь 12 код-ток, вспомогательный регистр 13, источник 14 опорного напряжения, вспомогательный преобразователь 15 код-ток, блок 16 ключей, блок 17 сравнения токов, преобразователь 18 ток-напряжение, компаратор 19 напряжений, второй цифровой коммутатор 20, цифровую входную шину 21, цифровую выходную шину 22, аналоговую входную шину 23, аналоговую выходную шину 24, входную шину 25 "Ре-

2

жим преобразования", входную шину 26 "Контроль".

Блок 2 управления (фиг. 2) содержит мультиплексор 27, постоянное запоминающее устройство 28, первый и второй регистры 29 и 30, генератор 31 тактовых импульсов, инвертор 32.

Блок 16 ключей (фиг. 3) может быть выполнен на первом, втором и третьем аналоговых переключателях 33-35.

Устройство работает в трех режимах: аналого-цифрового преобразования; цифроаналогового преобразования; самопроверки.

В режимах аналого-цифрового и цифроаналогового преобразования основными погрешностями являются: погрешность линейности основного преобразователя код-ток; погрешность смещения нуля; погрешность масштаба преобразования.

Для определения значений этих погрешностей предназначен режим самопроверки, состоящий из пяти циклов: определение кодов реальных значений весов разрядов основного преобразователя код-ток без учета наклона кодирующей характеристики; определение кода смещения нуля для режима аналого-цифрового преобразования; определение кода смещения нуля для режима цифроаналогового преобразования; определение кодов реальных значений весов разрядов основного

преобразователя код-ток в режиме аналого-цифрового преобразования с учетом наклона кодирующей характеристики (коррекция масштаба); определение кодов реальных значений весов разрядов основного преобразователя код-ток в режиме цифроаналогового преобразования с учетом наклона кодирующей характеристики (коррекция масштаба).

Основной преобразователь 12 код-ток устройства должен быть выполнен на основе избыточных измерительных кодов. Любое действительное число в избыточных измерительных кодах можно представить в виде:

$$N = \sum_{i=0}^{n-1} a_i \alpha^i,$$

где  $a_i \in \{0, 1\}$  - двоичная цифра в  $i$ -м разряде кода;

$\alpha_i$  - вес  $i$ -го разряда кода, причем  $1 \leq \alpha < 2$  и  $\alpha^i = \alpha^{i-1} \cdot \alpha$ .

Разряды основного преобразователя 12 код-ток делятся на группу старших разрядов и на группу младших разрядов. Такой подход справедлив в случае, если веса разрядов основного преобразователя 12 код-ток физически реализуются с одинаковой относительной погрешностью  $\delta Q$ .

В этом случае абсолютные отклонения  $\Delta Q_i$  весов разрядов от первоначальных значений для старшей группы будут большими, а для разрядов младшей группы - малыми. Поэтому определение кодов реальных значений разрядов преобразователя код-ток производится только для группы из  $m$  старших разрядов. Значение  $\Delta Q_{\max}$  определяется из условия

$$Q_n \leq \Delta Q_{\max} \leq Q_{n-1},$$

где  $n$  - количество разрядов основного преобразователя 12 код-ток;

$\Delta Q_{\max}$  - максимальное абсолютное значение отклонения от первоначального значения веса  $m$ -го разряда при заданном изменении температуры и величины;

$Q_n, Q_{n-1}$  - значение весов  $n$ -го и  $(n-1)$ -го младших разрядов основного преобразователя 12 код-ток.

Реальные значения весов разрядов младшей группы после изготовления основного преобразователя 12 код-ток измеряются, и их двоичные кодовые эквиваленты заносятся в блок 7 постоянной памяти для постоянного хранения.

Работа устройства в режиме контроля начинается с определения кодов реальных значений весов разрядов без учета наклона характеристики. По сигналам блока 2 управления происходит обнуление накапливающего регистра 5, блока 6 оперативной памяти, регистра 9 последовательного приближения, основного регистра 11, вспомогательного регистра 13. На вход преобразователя 10 напряжение ток через аналоговый коммутатор 8 подключается шина нулевого потенциала.

Определение кодов реальных значений весов разрядов старшей группы начинается с  $m$ -го разряда и осуществляется последовательно от младших разрядов к старшим.

При этом в точку суммирования токов на вход блока 17 сравнения токов подается ступенчато нарастающая аналоговая величина  $A_{\text{вх}e}$ , число ступеней которой должно соответствовать числу разрядов старшей группы основного преобразователя 12 код-ток. Причем каждая 1-я вспомогательная аналоговая величина дважды уравнивается по методу последовательного приближения избыточным набором разрядов преобразователя 12 код-ток, один раз с запретом включения  $j$ -го поверяемого разряда, второй раз - без запрета.

При этом результаты каждого из двух кодирований  $K_e^I$  и  $K_e^II$  формируются в накапливающем регистре 5.

По мере формирования кода  $K_e^I$  этот код в накапливающем регистре 5 преобразуется в двоичный код  $K_{e2}^I$  при помощи арифметико-логического устройства 3 и блоков 6 и 7 по формуле

$$K_{e2}^I = \sum_{j=1}^n a_j^I \cdot K_{0j},$$

где  $a_j^I$  - цифра  $j$ -го разряда кода  $K_e^I$  первого результата уравнивания.

Код второго результата уравнивания  $K_e^II$  также в накапливающем регистре 5 преобразуется в двоичный

код при помощи блоков 3, 6 и 7 по формуле

$$K_{\ell_2}'' = K_{\ell_2}' - \sum_{j=1}^n a_j'' \cdot K_{0j},$$

где  $a_j''$  - цифра  $j$ -го разряда кода  $K_{\ell_2}''$ .

Так как содержимое блока 6 памяти по 1-му адресу равно нулю ( $K_{0\ell} = 0$ ), то код  $K_{\ell_2}''$  равен коду реального значения веса 1-го разряда. После формирования кода  $K_{\ell_2}''$  этот код из накапливающего регистра 5 по команде блока 2 управления переписывается в блок 6 памяти по 1-му адресу. На этом процесс определения кода реального значения веса 1-го разряда заканчивается.

Определение кодов реальных значений весов остальных разрядов старшей группы происходит аналогично и с учетом определенных кодов реальных значений весов разрядов. После определения всех  $K_{\ell}''$  режим определения реальных весов разрядов заканчивается.

Смещение нуля схемы сравнения токов вносит погрешность в режим аналого-цифрового преобразования. При определении кода смещение нуля на вход преобразователя 10 напряжение-ток через аналоговый коммутатор 8 подключает шину нулевого потенциала, а результат последовательного аналого-цифрового преобразователя  $K_{см0}$  определяется при помощи кодов реальных значений весов разрядов  $K_{\ell_2}''$  и формируется в регистре 5 по формуле

$$K_{см0} = \sum_{\ell=1}^n a_{\ell}'' \cdot K_{\ell_2}'' ,$$

где  $a_{\ell}'' \in \{0, 1\}$  - двоичная цифра результата уравнивания аналогового входного сигнала.

Код двоичного эквивалента смещения нуля из накапливающего регистра 5 переписывается в блок 6 оперативной памяти.

При коррекции масштаба выходной характеристики аналого-цифрового преобразователя на вход преобразователя 10 напряжение-ток через аналоговый коммутатор 8 подключается выход источника 14 опорного напряжения, выход блока 17 сравнения токов через второй цифровой коммутатор 20 подключается к пятому входу блока 2 управления.

Режим начинается обнулением всех регистров. Из блока 6 оперативной памяти выбирается код смещения нуля, определенной на предыдущем шаге режима самопроверки, и записывается в накапливающий регистр 5.

Далее производится аналого-цифровое преобразование значения выходного сигнала источника 14 опорного напряжения. Результат формируется в накапливающем регистре 5 и определяется по формуле

$$K_{\ell} = K_{см0} + \sum_{\ell=1}^n a_{\ell}'' K_{\ell_2}'' .$$

Корректирующий масштабный коэффициент определяется из выражения

$$K_{м} = \frac{K_{\ell}}{K_{оп}} ,$$

где  $K_{м}$  - корректирующий масштабный коэффициент;

$K_{оп}$  - код, соответствующий выходному напряжению источника 14, полученный при помощи эталонного измерителя.

Код  $K_{оп}$  определяется и записывается в блок 7 постоянной памяти на этапе изготовления устройства.

При вычислении корректирующего масштабного коэффициента  $K_{м}$  на один вход арифметико-логического устройства 3 поступает код делимого  $K_{\ell}$  с выхода регистра 5. На второй вход с выхода блока 7 постоянной памяти поступает код делителя  $K_{оп}$ .

Алгоритм деления осуществляется при помощи арифметико-логического устройства 3, накапливающего регистра 5, который работает в режимах параллельной записи и сдвига. Результат деления поразрядно накапливается в регистре 4 сдвига.

Для коррекции масштаба каждый реальный вес разряда  $K_{\ell_2}''$ , хранящийся в блоке 6 оперативной памяти, перемножается на коэффициент  $K_{м}$ .

При умножении на первый вход арифметико-логического устройства множимое  $K_{\ell_2}''$  поступает с блока 6 оперативной памяти, множитель поразрядно поступает в блок 2 управления, который формирует управляющие сигналы. Промежуточный и конечный результаты от умножения хранятся в накапливающем регистре 5 и с его выхода поступают на второй вход арифметико-логического устройства 3. Скорректирован-

ные коды весов разрядов записываются в блок 6 оперативной памяти.

Регистр 4 работает в режиме циклического сдвига и к концу вычисления в регистре 4 восстанавливается масштабный коэффициент.

Для режима цифроаналогового преобразования необходимо произвести коррекцию погрешности смещения нуля преобразователя ток-напряжение и погрешности масштаба преобразования. В процессе определения этих погрешностей используется компаратор 19 напряжений, который вносит в результат измерений собственную погрешность  $\Delta_{окн}$ . Для исключения погрешности производится два измерения одного и того же сигнала с взаимнообратным подключением его к входам компаратора и усреднение результатов измерения

$$\begin{aligned} A' &= \Delta_{окн} + A; \\ A'' &= -\Delta_{окн} + A; \\ \frac{\Delta_{окн} + A - \Delta_{окн} + A}{2} &= A, \end{aligned}$$

где  $A$  - измеряемая величина;  
 $A'$  - результат первого измерения;  
 $A''$  - результат второго измерения.

При измерении смещения нуля обнуляются все регистры, ко входу аналогового компаратора 8 подключается шина нулевого потенциала, на первый вход компаратора 19 напряжений подается через блок 16 ключей выход преобразователя 18 ток-напряжение, а на второй - шина нулевого потенциала, второй цифровой коммутатор 20 подключает к входу блока 2 управления выход компаратора 19 напряжений.

Производится аналого-цифровое преобразование, результат которого формируется в накапливающем регистре 5.

По окончании первого цикла преобразования блок 16 ключей переключает выход преобразователя 18 ток-напряжение на второй вход компаратора 19, а на первый вход компаратора 19 шину нулевого потенциала. Производится еще один такт кодирования, в результате в накапливающем регистре 5 формируется код удвоенной величины смещения нуля. Для нормализации результата в накапливающем регистре 5

производится сдвиг на один разряд вправо и полученный код смещения нуля переписывается в блок 6 оперативной памяти.

При коррекции масштаба по сигналу из блока 2 управления на первый вход компаратора 19 напряжений подключается выход преобразователя 18 ток-напряжение, а на второй - выход источника 14 опорного напряжения, выход компаратора 19 напряжений через второй цифровой коммутатор 20 подключается к входу блока 2 управления.

Алгоритм определения кода  $K_u$  аналогичен алгоритму определения смещения нуля при режиме цифроаналогового преобразования. Алгоритм определения корректирующего масштабного коэффициента и коррекции масштаба соответствует аналогичному алгоритму для режима аналого-цифрового преобразования.

В режиме непосредственного аналого-цифрового преобразования устройство работает следующим образом. С аналоговой входной шины 23 измеряемый сигнал  $A_x$  через аналоговый коммутатор 8 поступает на вход преобразователя 10 напряжение-ток, с выхода которого в виде токового сигнала - на вход блока 17 сравнения токов. На тот же вход блока 17 поступает компенсирующий аналоговый сигнал  $A_k$ , формирующийся на выходе основного преобразователя 12 код-ток. В начале кодирования, по команде из блока 2 управления, происходит обнуление всех регистров, затем в накапливающий регистр 5 записывается код смещения нуля, который хранится в блоке 6 оперативной памяти.

Результат поразрядного аналого-цифрового преобразования  $A_x$  в код  $K_x$  формируется в регистре 5 и определяется по формуле

$$K_x = K_{см0} + \sum_{p=1}^n a_p \cdot K_{e2}''$$

где  $K_{см0}$  - код смещения нуля для режима аналого-цифрового преобразования;

$a_p \in \{0, 1\}$  - цифра 1-го разряда кода, сформированного в регистре 11 в процессе уравнивания  $A_x$  и  $A_k$ ;

$K_{e2}''$  - код значения реального веса 1-го разряда.

После окончания вычислительный код  $K_x$  поступает на цифровую выходную шину 22 устройства.

В режиме непосредственного цифроаналогового преобразования входной код  $K_{вх2}$  по шине 21 через цифровой коммутатор 1 поступает на вход арифметико-логического устройства 3. На второй вход арифметико-логического устройства поступает из накапливающего регистра 5 код смещения нуля, который хранится в блоке 6 оперативной памяти и перед каждым циклом цифроаналогового преобразования переписывается в накапливающий регистр 5. Остальные регистры обнулены. Арифметико-логическое устройство 3 выполняет операцию суммирования, а результат по сигналу с блока 2 управления переписывается в накапливающий регистр 5.

Преобразование осуществляется следующим образом. На первом такте код, записанный в накапливающем регистре 5, сравнивается с кодом  $K_{12}''$ , записанным в блоке 6 (код реального значения старшего разряда с учетом коррекции масштаба), при помощи операции вычитания и анализа знака результата  $Z_1$ , в арифметико-логическом устройстве 3 блоком 2 управления.

Причем знак  $Z_1$  определяется следующим выражением

$$Z_1 = \begin{cases} 1, & \text{если } K \leq K_{12}'' \\ 0, & \text{если } K > K_{12}'' \end{cases}$$

Если код  $K_{вх2}$  больше  $K_{12}''$ , то в регистре 9 последовательного приближения первый разряд устанавливается в единичное состояние, а из входного кода  $K_{вх2}$  вычитается код  $K_{12}''$  и остаток  $K_{вх2} - K_{12}''$  записывается в регистр 5, и в дальнейшем сравнение происходит с этим остатком. Если код  $K_{вх2}$  меньше  $K_{12}''$ , то в регистре 9 первый разряд устанавливается в нулевое состояние, а содержимое накапливающего регистра 5 не изменяется. На втором такте содержимое накапливающего регистра 5 сравнивается с кодом  $K_{12}''$ . В зависимости от результата сравнения второй разряд регистра последовательного приближения устанавливается в единичное либо нулевое состояние, соответственно из содержимого накапливающего регистра 5 либо вычитается код  $K_{12}''$ , либо он не изменяется.

Указанная процедура повторяется для всех  $n$  разрядов входного двоичного кода  $K_{вх2}$ . В результате в регистре 9 последовательного приближения формируется рабочий код  $K_p$ .

После формирования кода  $K_p$  содержимое регистра 9 последовательного приближения переписывается в основной регистр 11 и на аналоговой выходной шине 24 появляется аналоговая величина, соответствующая коду  $K_{вх2}$ .

Функционирование устройства в режимах непосредственного аналого-цифрового или цифроаналогового преобразования периодически прерывается и осуществляется цикл самопроверки. Частота перехода из режима непосредственного преобразования в режим самопроверки определяется скоростью изменения реальных весов разрядов основного преобразователя 12 код-ток и зависит от стабильности параметров аналоговых узлов основного преобразователя 12 код-ток и от скорости изменения условий окружающей среды.

Блок 2 управления может быть синтезирован различными методами. Например, он может быть выполнен на основе автомата с памятью или по принципу программного управления.

Один из возможных вариантов реализации блока управления приведен на фиг. 2. Для формирования управляющих сигналов применена последовательная схема с использованием ПЗУ. Необходимые для управления функционированием АЦП-ЦАП управляющие и условные сигналы приведены в табл. 1.

Приведенная на фиг. 4, 5 и 6 блок-схема алгоритма работы устройства соответствует случаю  $n=7$  и  $m=2$ .

Реализация предлагаемого устройства позволяет использовать вспомогательные аналоговые сигналы  $A_i$ , уровни которых не требуется формировать с высокой точностью. Относительная погрешность формирования этих сигналов:

$$\delta A(p) = \Delta A_i / A_{i, \max} = 1 - \alpha_p^{-p}$$

где  $\Delta A_i$  - диапазон изменения  $i$ -го вспомогательного аналогового сигнала;

$A_{i, \max}$  - максимально допустимая величина  $A_i$ .

Для различных  $p$  значения  $\delta A(p)$  приведены в табл. 2.

Такие низкие требования к точности формирования вспомогательных аналоговых сигналов существенно упрощают аппаратуру, вырабатывающую эти сигналы, снижает ее стоимость.

Максимальное значение относительной погрешности формирования разрядов преобразователя код-ток определяется выражением

$$\delta Q_{e_{\max}}(p) = \alpha_p^{-1} - \alpha_p^{p-1}$$

Значения  $\delta Q_{e_{\max}}(p)$  для различных  $p$  приведены в табл. 3.

Данное обстоятельство позволяет проектировать высоколинейные устройства для цифроаналогового и аналого-цифрового преобразования при использовании дешевых преобразователей код-ток, обладающих значительной погрешностью линейности. Погрешность линейности таких устройств не превышает значения

$$\Delta_n = \frac{q(m + \sqrt{n} \alpha_p^p + \alpha_p^{p-1})}{D},$$

где  $q$  - вес младшего разряда ЦАП;

$D$  - диапазон представления чисел.

При  $m=10$ ,  $n=20$ ,  $p=1$ ,  $q=1$  коэффициент повышения линейности устройства равен

$$k = \frac{\delta Q_{\max}}{\Delta_n} = 393.$$

Уменьшение погрешности линейности устройства, погрешности смещения нуля и погрешности масштаба приводит к уменьшению общей погрешности преобразования.

#### Ф о р м у л а и з о б р е т е н и я

1. Устройство для аналого-цифрового и цифроаналогового преобразования, содержащее компаратор напряжений, основной преобразователь код-ток, выход которого подключен к входу преобразователя ток-напряжение, выход которого является аналоговой выходной шиной, блок управления, первый выход которого подключен к тактовому входу регистра последовательного приближения, второй выход подключен к тактовому входу основного регистра, информационные входы которого подключены к соответствующим выходам регистра последовательного приближения, первый цифровой коммутатор, информационные вхо-

ды которого являются цифровой входной шиной, отличающееся тем, что, с целью повышения точности преобразования, введены второй цифровой коммутатор, арифметико-логическое устройство, накапливающий регистр, регистр сдвига, блок оперативной памяти, блок постоянной памяти, аналоговый коммутатор, преобразователь напряжение-ток, блок сравнения токов, вспомогательный регистр, вспомогательный преобразователь код-ток, источник опорного напряжения, блок ключей, при этом первый и второй входы блока управления являются соответственно входными шинами "Режим преобразования" и "Контроль", третий выход подключен к управляющему входу первого цифрового коммутатора, выходы которого объединены с соответствующими выходами блока оперативной памяти и блока постоянной памяти и подключены к соответствующим первым информационным входам арифметико-логического устройства, управляющий вход которого подключен к четвертому выходу блока управления, пятый и шестой выходы которого подключены соответственно к управляющему и тактовому входам регистра сдвига, выход которого подключен к третьему входу блока управления, а информационный вход объединен с четвертым входом блока управления и подключен к знаковому выходу арифметико-логического устройства, вторые информационные входы которого объединены с соответствующими информационными входами блока оперативной памяти, подключены к соответствующим выходам накапливающего регистра и являются цифровой выходной шиной, информационные выходы арифметико-логического устройства подключены к соответствующим информационным входам накапливающего регистра, тактовый вход которого подключен к седьмому выходу блока управления, управляющие входы подключены к соответствующим восьмым выходам блока управления, вход обнуления подключен к девятому выходу блока управления, десятый и одиннадцатый выходы которого подключены соответственно к входу разрешения выборки и входу записи блока оперативной памяти, адресные входы которого объединены с соответствующими адресными

входами блока постоянной памяти и подключены к соответствующим двенадцатым выходам блока управления, тринадцатый выход которого подключен к входу разрешения выборки блока постоянной памяти, четырнадцатые выходы подключены к соответствующим управляющим входам аналогового коммутатора, первый информационный вход которого является входной аналоговой шиной, второй информационный вход подключен к шине нулевого потенциала, третий информационный вход объединен с первым информационным входом блока ключей и подключен к выходу источника опорного напряжения, выход подключен к входу преобразователя напряжение-ток, выход которого объединен с выходами основного и вспомогательного преобразователей код-ток и подключен к входу блока сравнения токов, выход которого подключен к первому информационному входу второго цифрового коммутатора, выход которого подключен к пятому входу блока управления, пятнадцатый и шестнадцатый выходы которого подключены соответственно к входу обнуления и информационному входу регистра последовательного приближения, семнадцатый выход подключен к входу обнуления основного регистра, выходы которого подключены к соответствующим входам основного преобразователя код-ток, восемнадцатый выход блока управления подключен к тактовому входу вспомогательного регистра, выходы которого подключены к соответствующим входам вспомогательного преобразователя код-ток, вход обнуления подключен к девятнадцатому выходу блока управления, двадцатые выходы которого подключены к соответствующим управляющим входам блока ключей, второй информационный вход которого подключен к выходу преобразователя ток-напряжение, третий информационный вход подключен к шине нулевого потенциала, первый и второй выходы подключены соответственно к первому и второму входам компаратора напряжений, выход которого подключен к второму информационному входу второго цифрового коммутатора, управля-

щий вход которого подключен к двадцать первому выходу блока управления.

2. Устройство по п. 1, отличающееся тем, что блок управления выполнен на первом и втором регистрах, генераторе тактовых импульсов, инверторе, мультиплексоре и постоянном запоминающем устройстве, первый адресный вход которого является первым входом блока, второй адресный вход подключен к выходу мультиплексора, первый, второй и третий информационные входы которого являются соответственно третьим, четвертым и пятым входами блока, адресные входы подключены к соответствующим первым выходам постоянного запоминающего устройства, вторые выходы которого подключены к соответствующим информационным входам второго регистра, вход обнуления которого является вторым входом блока, тактовый вход объединен с входом инвертора и подключен к выходу генератора тактовых импульсов, выходы подключены к соответствующим третьим адресным входам постоянного запоминающего устройства, третьи выходы которого подключены к соответствующим информационным входам первого регистра, тактовый вход которого подключен к выходу инвертора, с первого по пятый выходы являются соответственно выходами блока с третьего по седьмой, шестой и седьмой выходы первого регистра являются восьмьюми выходами блока, выходы с восьмью по десятый являются соответственно выходами блока с девятого по одиннадцатый, выходы с одиннадцатого по четырнадцатый являются двенадцатыми выходами блока, пятнадцатый выход является тринадцатым выходом блока, шестнадцатый и семнадцатый выходы являются четырнадцатыми выходами блока, выходы с восемнадцатого по двадцать четвертый первого регистра являются соответственно первым, пятнадцатым, шестнадцатым, вторым, семнадцатым, восемнадцатым и девятнадцатым выходами блока, выходы с двадцать пятого по двадцать седьмой являются двадцатыми выходами блока, двадцать восьмой выход первого регистра является двадцать первым выходом блока.



Т а б л и ц а 1

Обозначение	Наименование сигналов	Примечание
1	2	3
X1	Режим работы АЦП/ЦАП	X1=1 режим АЦП
X2	Запуск контроля	X2=0 запуск контроля
X3	Младший разряд сдвигового регистра	-
X4	Знаковый разряд АЛУ	X4=1 - двоичный эквивалент веса основного преобразователя код-ток больше двоичного эквивалента преобразованного сигнала.
X5	Ответ компаратора напряжения или блока сравнения токов	X5=1 - величина веса основного преобразователя код-ток превышает величину компенсирующего сигнала.
Y1	Управление первым цифровым коммутатором	Y1=1 коммутируется цифровая шина 21
Y2	Управление режимом работы АЛУ	Y2=1 - операция вычитания
Y3	Управление режимом работы регистра сдвига	Y3=1 работает как сдвиговый регистр, информация поступает с знакового выхода арифметико-логического устройства Y3=0 работает как циклический регистр
Y4	Синхроимпульс сдвига информации в регистре	-
Y5	Синхроимпульс накапливающего регистра	-
Y6	Управление режимом работы накапливающего регистра	Y6=00 параллельная запись информации Y6=01 сдвиг информации вправо Y6=10 сдвиг информации влево
Y7	Обнуление накапливающего регистра	Y7=0
Y8	Разрешение выборки ОЗУ	Y8=0
Y9	Разрешение записи ОЗУ	Y9=0 разрешение записи
Y10	Адрес блока памяти	-
Y11	Разрешение выборки ПЗУ	Y11=0 разрешение выборки
Y12	Управление аналоговым коммутатором	Y12=00 - коммутируется аналоговый вход Y12=01 - коммутируется шина нулевого потенциала Y12=10 - коммутируется выход источника опорного напряжения
Y13	Синхроимпульс регистра последовательного приближения	-
Y14	Сброс регистра последовательного приближения	Y14=0 - сброс

1	2	3
Y15	Информационный вход регистра последовательного приближения	-
Y16	Синхроимпульс записи основного регистра	-
Y17	Обнуление основного регистра	Y17=0 сброс
Y18	Синхроимпульс вспомогательного регистра	-
Y19	Сброс вспомогательного регистра	Y19=0 - сброс
Y20	Управление блоком ключей	Y20=000 на первый вход компаратора напряжения подается выход преобразователя ток-напряжение, на второй вход-выход источника опорного напряжения. Y20=011 на первый вход компаратора напряжения подается выход источника опорного напряжения, а на второй вход-выход преобразователя ток-напряжение Y20=100 на первый вход компаратора напряжения подается выход преобразователя ток-напряжение, а на второй вход - нулевой потенциал Y20=111 на первый вход компаратора напряжения подается нулевой потенциал, а на второй вход-выход преобразователя ток-напряжение
Y21	Управление вторым цифровым коммутатором	Y21=1 коммутируется выход блока сравнения токов

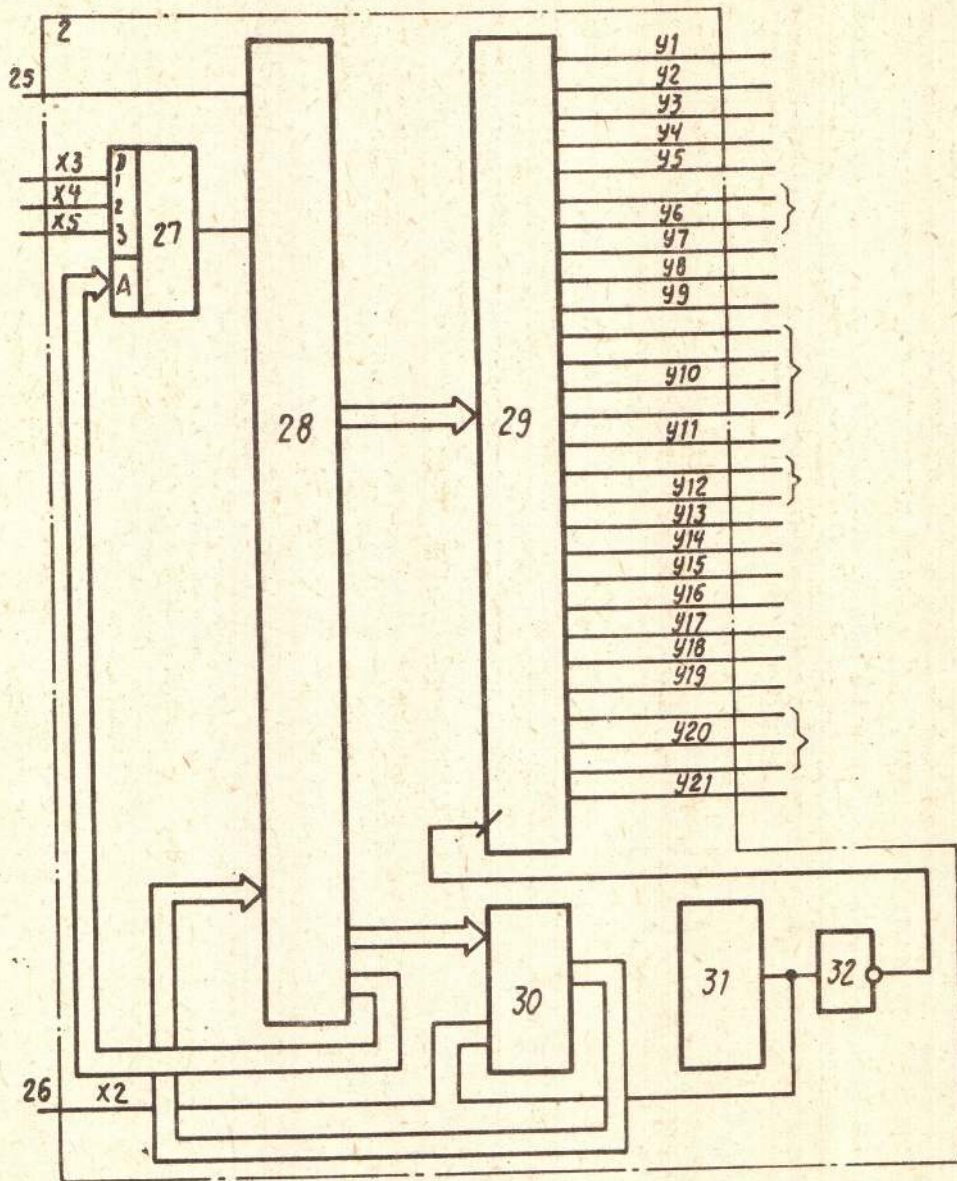
Т а б л и ц а 2

p	1	2	3	4	5
$\delta A(p), \%$	38,2	53,6	61,9	67,5	71,3

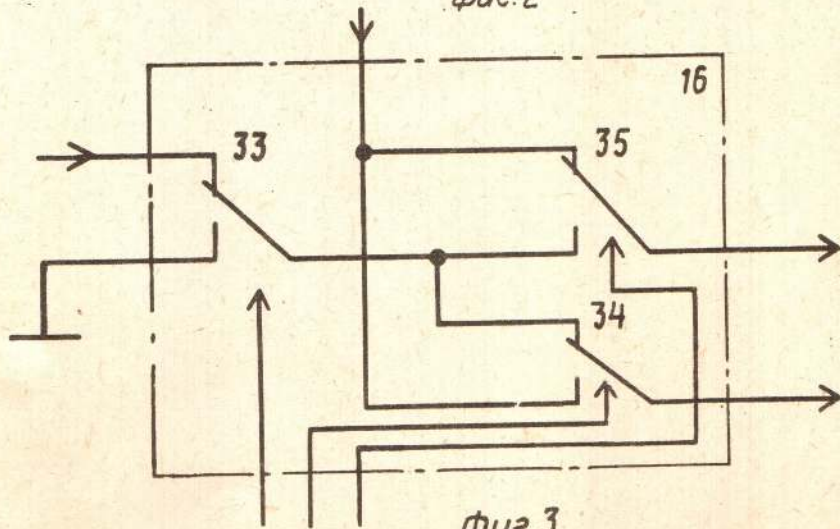
|

Т а б л и ц а 3

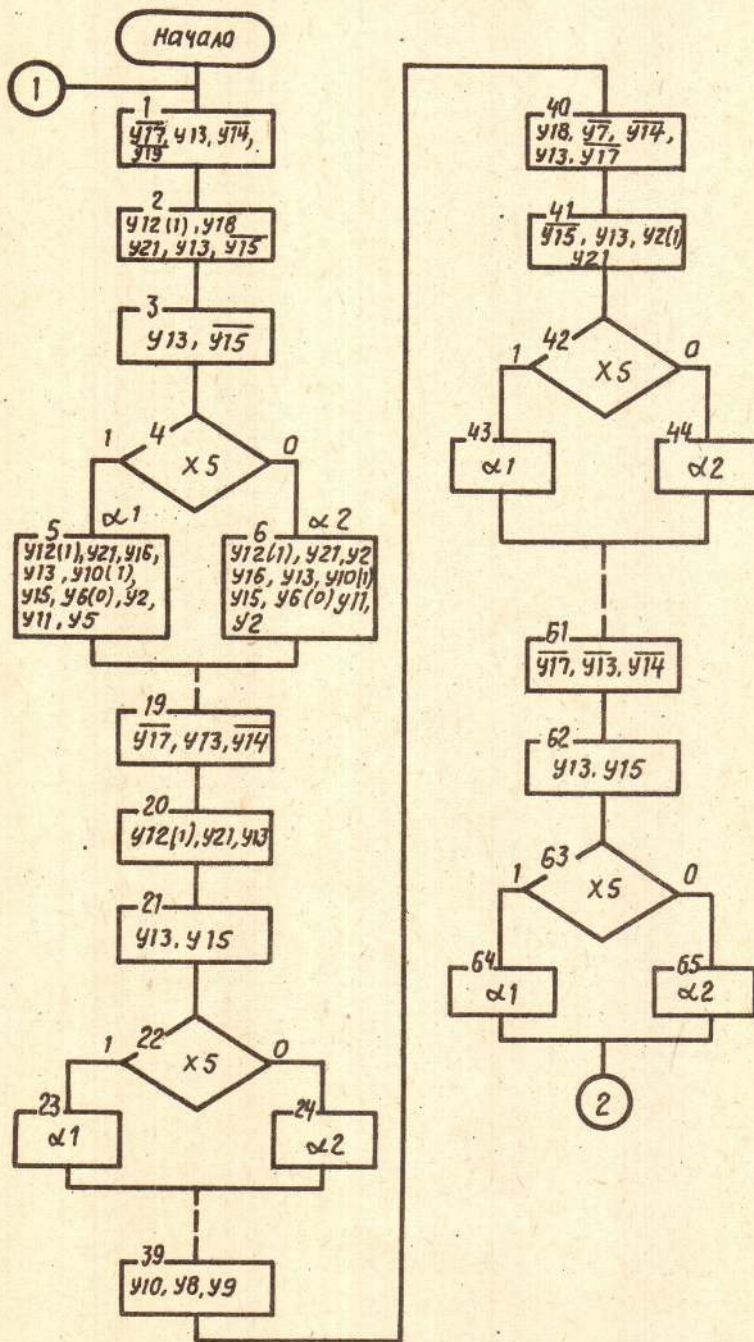
p	1	2	3	4	5
$\% \delta Q_{\text{сmax}}(p)$	23,6	36,8	44,8	51,0	56,6



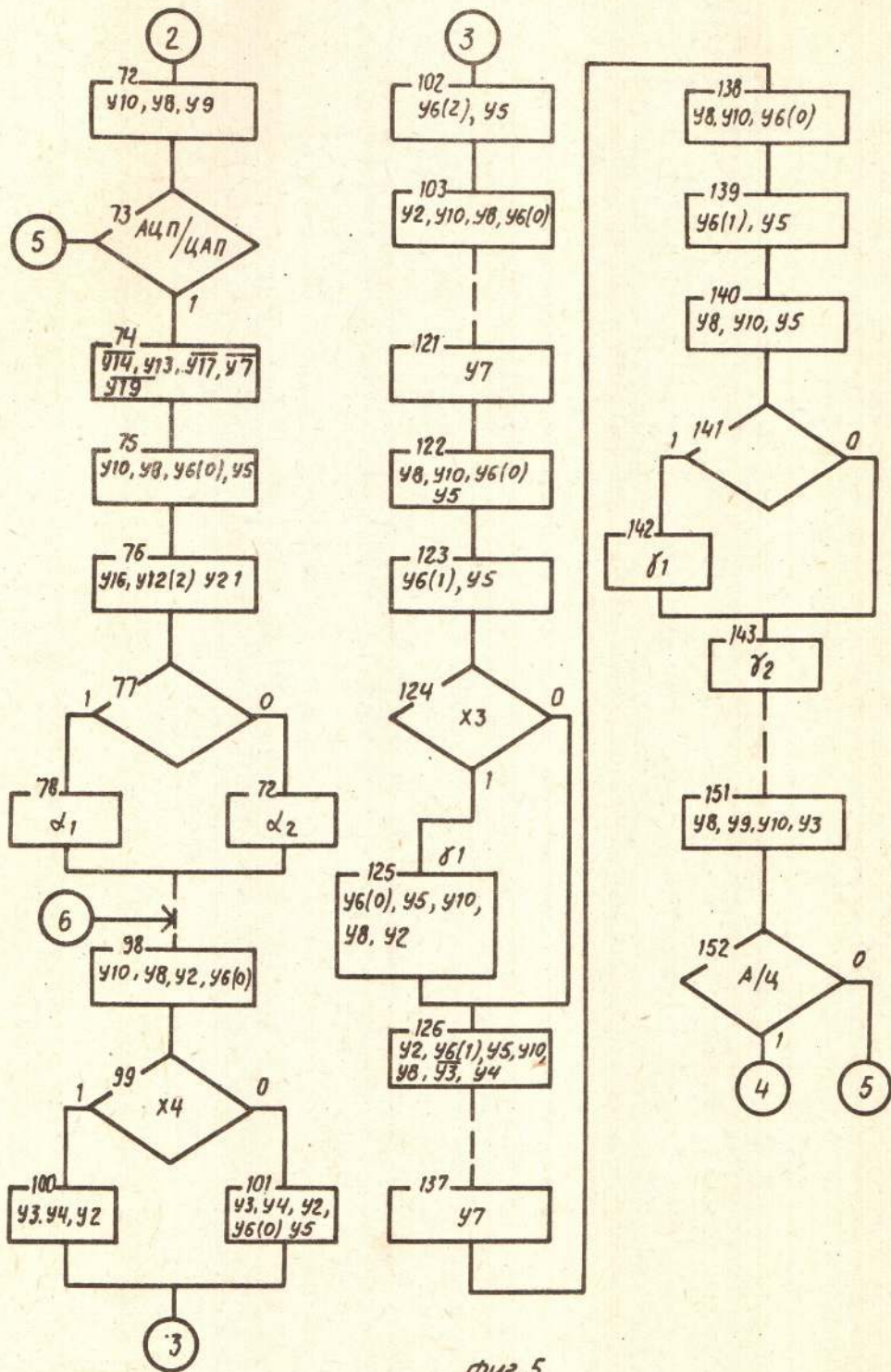
Фиг. 2



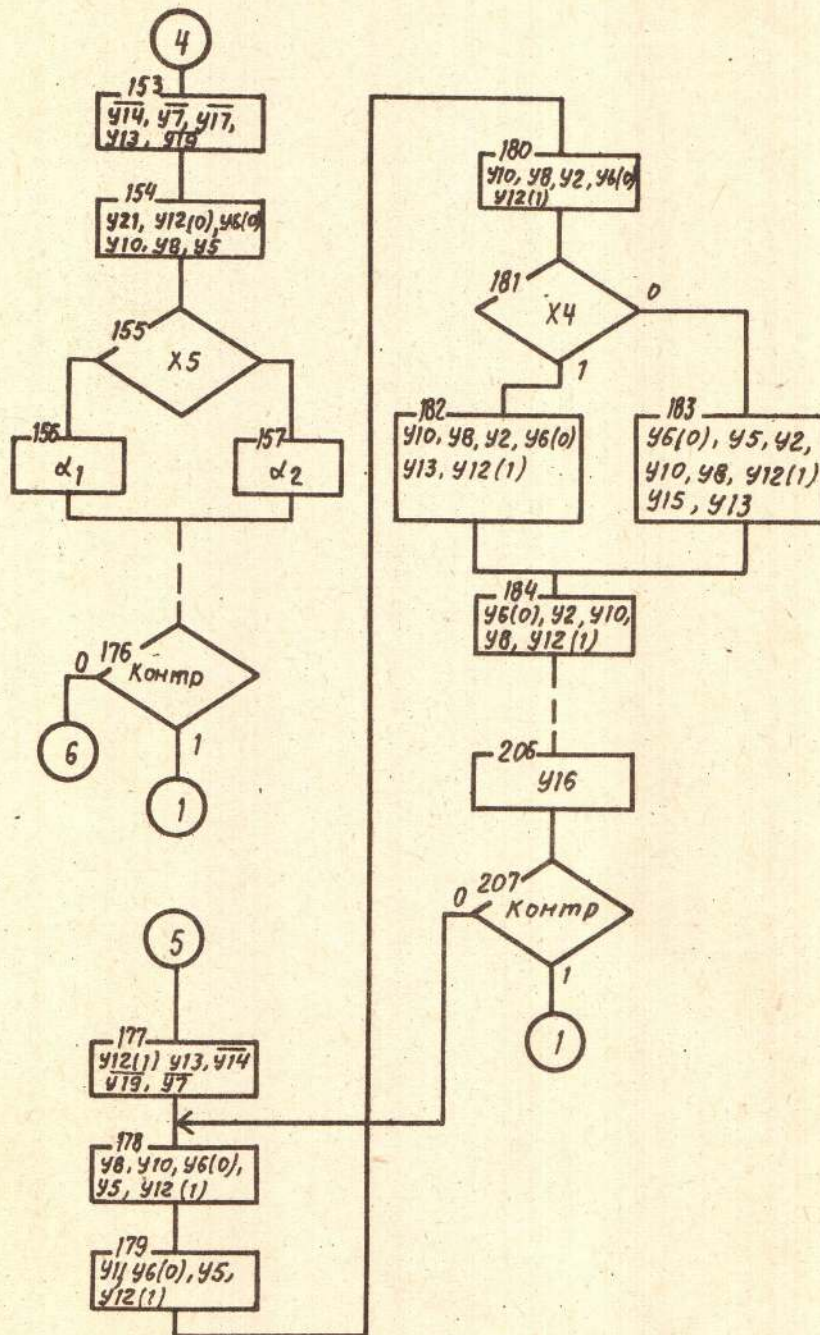
Фиг. 3



Фиг. 4



Фиг. 5



Фиг. 6

Составитель В.Першиков  
 Редактор С.Патрушева Техред Л.Сердюкова Корректор В.Гирняк

Заказ 1909/55 Тираж 880 Подписное  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101