



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

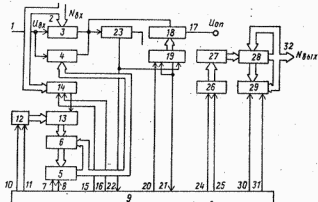
- (21) 4652502/24
(22) 16.02.89
(46) 07.11.91. Бюл. № 41
(71) Винницкий политехнический институт
(72) А.П. Стахов, А.Л. Азаров, В.Я. Стойскал
и Е.А. Коваленко
(53) 681.325 (088.8)
(56) Справочник по аналоговой технике. / Под
ред. Г.Е. Пухова. - Киев: Техника, 1975.
с. 252.

Там же, с. 257.

(54) МНОЖИТЕЛЬНО-ДЕЛИТЕЛЬНЫЙ
АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВА-
ТЕЛЬ

2

(57) Изобретение относится к вычислительной технике и может быть использовано для умножения, деления и преобразования аналоговых величин в цифровые. Изобретение позволяет повысить точность. Это достигается тем, что в преобразователь, содержащий блок 23 сравнения токов, цифроаналоговые преобразователи 3 и 18, регистр 19 последовательного приближения, введены цифроуправляемая проводимость 4, регистр 14 сдвига, блоки 13 и 27 постоянной памяти, счетчики 12 и 26, сумматоры 6 и 28, регистры 5 и 29 и блок 9 управления. 1 з.п. ф-лы, 3 ил., 4 табл.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано для умножения, деления и преобразования аналоговых величин в цифровые.

Целью изобретения является повышение точности.

На фиг. 1 представлена структурная схема множително-делительного аналого-цифрового преобразователя; на фиг. 2 — алгоритм работы устройства; на фиг. 3 — структурная схема блока управления.

Преобразователь (фиг. 2) содержит аналоговую 1 и цифровую 2 входные шины, цифроаналоговый преобразователь 3 (ЦАП), цифрууправляемую проводимость 4 (ЦУП), регистр 5, сумматор 6, выходы 7 и 8 блока 9 управления, выходы 10 и 11 блока 9, счетчик 12, блок 13 постоянной памяти, регистр 14 сдвига, выходы 15 и 16 блока 9, вход 17 ЦАП 18, регистр 19 последовательного приближения, выход 20, входы 21 и 22 блока 9, блок 23 сравнения токов, выходы 24 и 25 блока 9, счетчик 26, блок 27 постоянной памяти (БПП), сумматор 28, регистр 29, выходы 30 и 31 блока 9, выходная шина 32.

Алгоритм работы преобразователя (фиг. 2) содержит следующие управляющие сигналы: Y1, Y2, Y3, Y4 — обнуление счетчиков 12 и 26, регистров 5 и 29; Y5 — синхронизмусь на выходе 24 блока; Y6 — запись в регистр 14; Y7 — запись в регистр 5; Y8 — счетчик 12; Y9 — в регистре 14 сдвига; Y10 — регистр 29 — запись; Y11 — счетчик 26 — 1; X1 — управляющий выходной сигнал "Конец преобразования" 24; X2 — ответ блока 23.

Блок управления (фиг. 3) содержит генератор 33 импульсов, постоянное запоминающее устройство 34, регистр 35.

Множительно-делительный аналого-цифровой преобразователь выполняет функцию:

$$N_{\text{вых}} = \frac{N_{\text{вх}} \cdot U_{\text{вх}}}{U_{\text{оп}}}$$

где $U_{\text{вх}}$, $U_{\text{оп}}$ — напряжения, подаваемые соответственно на аналоговую входную шину и шину опорного напряжения;

$N_{\text{вх}}$ — код, подаваемый на цифровую входную шину.

Работу множително-делительного аналого-цифрового преобразователя можно разделить на два цикла.

В первом цикле происходит формирование выходного тока ЦАПЗ с учетом напряжения $U_{\text{вх}}$ и кода $N_{\text{вх}}$. Погрешности выполнения данной операции корректируются путем формирования на третьем входе блока 23 тока $I_{\text{сст}}$ при помощи цифрууправ-

ляемой проводимости 4 и ЦАПЗ. При этом информация об отклонениях весов разрядов в ЦАПЗ хранится в блоке 13, а управление ЦУП осуществляется регистром 5.

Во втором цикле происходит поразрядное уравнивание входного тока $I_{\text{сст}}$ компенсирующим сигналом — выходным током ЦАП 18. При этом значение последнего зависит от подаваемого на вход 17 напряжения $U_{\text{оп}}$. Формирование выходного кода устройства осуществляется в сумматоре 28 и регистре 29 с учетом кодов отклонений весов разрядов ЦАП 18, хранимых в блоке 27.

На первом цикле преобразователь работает следующим образом.

На первый вход ЦАПЗ поступает входное напряжение $U_{\text{вх}}$. На второй вход ЦАПЗ и вход регистра 14 поступает входной код $N_{\text{вх}}$. По сигналу блока 9 в счетчике 12 устанавливается адрес ячейки блока 13, в которой записан код, с помощью которого корректируется погрешность младшего разряда ЦАПЗ. На следующем такте адрес ячейки младшего разряда увеличивается на единицу, и учитывается погрешность следующего разряда. По окончании n -ого такта в зависимости от вида входной кодовой комбинации $N_{\text{вх}}$ в регистре 5 формируется код суммарной погрешности:

$$N_{\Sigma} = \sum_{i=0}^n N_i$$

где n — разрядность ЦАПЗ;

N_i — код погрешности i -ого разряда ЦАПЗ.

Веса цифрууправляемой проводимости выбираются с учетом максимально допустимой погрешности и требуемой точности формирования.

Пример 1. В табл. 1 представлены идеальные и реальные веса разрядов ЦАПЗ.

Максимальная погрешность составит 20% от старшего разряда (0,26), тогда разрядность ЦАПЗ будет: 0,32, 0,16, 0,08, 0,04, 0,02, 0,01.

В блоке 13 постоянной памяти будут записаны двоичные коды погрешностей весов разрядов ЦАПЗ, представленные в табл. 2.

Преобразователь работает в инверсной логике.

Коды погрешностей определены как разность между идеальной и реальной проводимостями разряда. Тогда, если на вход устройства поступает код $N_{\text{вх}}$

1100100,

то на выходе регистра 5 сформируется код $N_{\text{пер.5}}$

1101010 0,1
101011 0,2
100001 0,3.

На выходе преобразователя ЦАП 3 формируется ток, при $U_{вх} = 1$ В равный:

$$I_{ЦАП 3} = 1 В \cdot (1,1 + 0,7 + 0,2) = 2,0.$$

При подключении ЦУП 4 на входе блока 23 формируется ток:

$$I_{сст} = 1 В \cdot (2,0 + 0,3) = 2,3.$$

Ток при идеальных проводимостях ЦАП 3 равен:

$$I_{ид.ЦАП} = 1 В \cdot (1,3 + 0,8 + 0,2) = 2,3.$$

Второй цикл работы множительно-делительного аналого-цифрового преобразователя начинается после сформирования в точке А тока $I_{сст}$. На первый вход ЦАП 18 (одновременно с $U_{вх}$ и $N_{вх}$) поступает опорное напряжение $U_{оп}$. После того, как на вход блока 23 поступил ток $I_{сст}$, по сигналу блока 9 в регистре 19 включается старший разряд, установленный в нулевое состояние.

На вход блока 23 поступает ток:

$$I_{вх} = I_{сст} - I_i, I = 1.$$

где I_i – выходной ток ЦАП 18, соответствующий первому такту преобразования.

Выходной сигнал блока 23 I_i подчиняется следующему соотношению:

$$I_i = \begin{cases} 0, & \text{если } I_{вх} < I_i, \\ 1, & \text{если } I_{вх} \geq I_i. \end{cases}$$

На следующем такте в регистре 19 включается следующий $(m-1)$ разряд, и процесс уравнивания повторяется.

По окончании m -го такта в регистре 19 сформирован код, соответствующий входному блоку 23. На каждом такте по сигналу блока 9 счетчик 26 устанавливает на адресных входах БПП 27 адрес ячейки соответствующего включаемого разряда. БПП 27 содержит двоичные эквиваленты весов разрядов ЦАП 18, измеренные на этапе изготовления.

В зависимости от выходного сигнала блока 23 в регистре 29 формируется выходной код $N_{вых}$, как сумма двоичных эквивалентов включенных весов разрядов ЦАП 18:

$$N_{вых} = \sum_{i=1}^m N_i.$$

где N_i – двоичный эквивалент i -го разряда ЦАП 18.

Рассмотрим пример формирования выходного кода $N_{вых}$ с учетом изменения опорного напряжения $U_{оп}$.

В блоке 27 содержатся двоичные эквиваленты реальных весов разрядов ЦАП 18.

Табл. 3 содержит значения проводимостей соответствующих весов разрядов ЦАП 18.

При $m = 2$.

Тогда, если $I_{сст} = 2,3$ (результат предыдущего примера), то на регистре 19 сформируется кодовая комбинация, равная при $U_{оп} = 1$ В

10001000.

В регистре 29 сформируется двоичный код результата преобразования как сумма двоичных эквивалентов весов разрядов ЦАП 18, хранящихся в БПП 27:

8 4 2 1 0,8 0,4 0,2 0,1

1 1 0 1 1 1 1 1

1 1 1 1 1 1 0 0

1 1 0 1 1 1 0 0 (2,3)

Если опорное напряжение, подаваемое на третий аналоговый вход устройства $U_{оп} = 0,5 U_{макс}$, то ток $I_{сст}$, равный 2,3, уравновесится следующей кодовой комбинацией:

1 0 1 0 0 1 0 0 0

0,5 1 8 (3,2 + 1,1 + 0,3) = 0,5 1 В (3,2 +

+ 1,1 + 0,3) = 2,3

На выходе регистра 29 образуется код как сумма включенных весов разрядов

8 4 2 1 0,8 0,4 0,2 0,1

3,2 1 1 0 0 1 1 0 1

1,1 1 1 0 1 1 1 1 0

0,3 1 1 1 1 1 1 0 0

1 0 1 1 1 0 0 1 (4,6)

что соответствует

$$N_{вых} = \frac{U_{вх} N_{вх}}{U_{оп}} = 4,6.$$

Таблица прошивки ПЗУ 34 блока 9 представлена в табл. 4.

ЦАП 3 и 18 выполнены на основе избыточных кодов, что позволяет выполнять с помощью блока 13, ЦУП 4, сумматора 6 и счетчика 12 программную цифро-аналоговую коррекцию результата промежуточного вычисления $I_{сст}$. Вторая цифровая коррекция полного результата вычисления выполняется при помощи БПП 27, сумматора 28 и регистра 29 цифровым способом. Это позволяет получить высоколинейную выходную характеристику и выполнение операций преобразования аналоговой величины в цифровой код одновременно с выполнением операций умножения и деления с высокой точностью без применения высокоточных узлов.

Таким образом, введение новых блоков и связей позволяет достичь поставленную цель изобретения.

Формула изобретения

1. Множительно-делительный аналого-цифровой преобразователь, содержащий блок сравнения токов, первый вход которо-

го соединен с выходами первого и второго цифроаналоговых преобразователей, первый и вторые входы первого из которых являются соответственно аналоговой и цифровой входными шинами, первый вход второго является шиной опорного напряжения, вторые входы второго цифроаналогового преобразователя через регистр последовательного приближения соединены с выходом блока сравнения токов, второй вход которого является шиной нулевого потенциала, от л и ч а ю щ и й с я тем, что, с целью повышения точности, в него введены цифруправляемая проводимость, регистр сдвига, два счетчика, два блока постоянной памяти, два сумматора, два регистра, блок управления, первый и второй выходы которого соединены соответственно с первыми и вторым входами первого счетчика, выходы которого соединены с соответствующими информационными входами первого блока постоянной памяти, управляющий вход которого соединен с выходом регистра сдвига, первый и второй управляющие входы которого соединены соответственно с третьим и четвертым выходами блока управления, пятый и шестой выходы которого соединены соответственно с первым и вторым управляющими входами первого регистра, информационные входы которого соединены с соответствующими выходами первого сумматора, первые входы которого соединены с соответствующими выходами первого блока постоянной памяти, вторые входы первого сумматора объединены с соответствующими цифровыми входами цифруправляемой проводимости и соединены с соответствующими выходами первого регистра, аналоговый вход цифруправляемой проводимости объединен с первым входом первого цифроаналогового преобразователя, выход цифруправляемой проводимости соединен с первым входом блока сравнения токов, вторые входы первого цифроаналогового преобразователя соединены соответственно с цифровыми входами регистра сдвига, выход

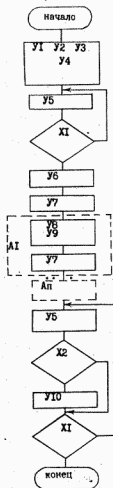
блока сравнения токов соединен с первым входом блока управления, второй вход которого объединен с вторым входом регистра последовательного приближения и соединен с выходом регистра последовательного приближения, седьмой выход блока управления соединен с третьим входом регистра последовательного приближения, восьмой и девятый выходы блока управления соединены соответственно с первым и вторым входами второго счетчика, выходы которого через второй блок постоянной памяти соединены с соответствующими первыми входами второго сумматора, первые выходы которого соединены с соответствующими вторыми входами второго сумматора, объединены с первыми информационными выходами второго регистра и являются выходной шиной, вторые выходы второго сумматора соединены с соответствующими информационными входами второго регистра, первый и второй управляющие входы которого соединены соответственно с десятым и одиннадцатым выходами блока управления.

2. Преобразователь по п. 1, от л и ч а ю щ и й с я тем, что блок управления выполнен на генераторе импульсов, постоянном запоминающем устройстве и регистре, первый, второй, третий, четвертый и пятый выходы которого соединены соответственно с первым, вторым, третьим, четвертым и пятым входами постоянного запоминающего устройства, шестой, седьмой, восьмой, девятый, десятый, одиннадцатый, двенадцатый, тринадцатый, четырнадцатый, пятнадцатый, шестнадцатый выходы регистра являются соответственно первым, восьмым, пятым, десятым, седьмым, третьим, шестым, вторым, четвертым, одиннадцатым и девятым выходами блока, информационные входы регистра соединены с соответствующими выходами постоянного запоминающего устройства, тактовый вход соединен с выходом генератора импульсов, шестой и седьмой входы постоянного запоминающего устройства являются соответственно первым и вторым входами блока.

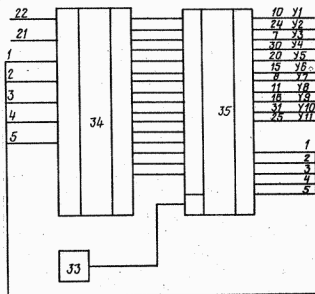
50

Таблица 1

№ п/п	6	5	4	3	2	1	0
Вес:							
реальные	1.1	0.7	0.5	0.3	0.2	0.1	0.1
идеальные	1.3	0.8	0.5	0.3	0.2	0.1	0.1



Фиг. 2



Фиг. 3

Редактор О.Хрипта

Составитель А.Титов
Техред М.Моргентал

Корректор М.Демчик

Заказ 3827

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101