

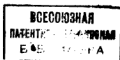


СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1626360 A1**

(51)5 Н 03 К 5/24

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4677527/21

(22) 11.04.89

(46) 07.02.91. Бюл. № 5

(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института и Винницкий политехнический институт

(72) А.Д.Азаров, В.Я.Стейская, Ю.М.Стеняко и Л.В.Крупельницкий

(53) 621.318 (088.8)

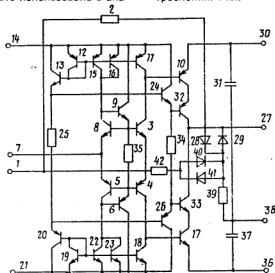
(56) Авторское свидетельство СССР № 1529434, кл. Н 03 К 5/24, 01.04.88.

(54) ВХОДНОЕ УСТРОЙСТВО СХЕМЫ СРАВНЕНИЯ ТОКОВ

(57) Изобретение относится к импульсной технике и может быть использовано в ана-

2

лого-цифровых преобразователях и в цифровых измерительных приборах. Целью изобретения является снижение мощности потребления. Входное устройство схемы сравнения токов содержит шесть резисторов 2, 25, 34, 35, 39, 42, два входных транзистора 3, 4, двадцать транзисторов 5, 6, 8-13, 15-20, 22-24, 26, 32, 33, четыре диода 28, 29, 40, 41, два конденсатора 31, 37, входную шину 1, две шины 7, 38 нулевого потенциала, две шины 14, 30 положительного потенциала, две шины 21, 36 отрицательного потенциала, выходную шину 27. Перераспределение токов между транзисторами позволяет исключить мощный выходной каскад, тем самым уменьшить мощность потребления, 1 мл.



(19) **SU** (11) **1626360 A1**

Изобретение относится к импульсной технике и может быть использовано в аналого-цифровых преобразователях и в цифровых измерительных приборах.

Цель изобретения – снижение мощности потребления за счет уменьшения потребления выходного каскада.

На чертеже представлена электрическая схема входного устройства схемы сравнения токов.

Устройство содержит входную шину 1, к которой подключены первый вывод первого резистора 2, эмиттер первого входного транзистора 3, эмиттер второго входного транзистора 4, база которого соединена с базой первого транзистора 5, коллектор которого соединен с базой второго транзистора 6, а эмиттер соединен с первой шиной нулевого потенциала 7 и эмиттером третьего транзистора 8, база которого соединена с базой первого входного транзистора 3, а коллектор – с базой четвертого транзистора 9, коллектор первого входного транзистора 3 соединен с базой пятого транзистора 10 и коллектором шестого транзистора 11, база которого соединена с коллектором и базой седьмого транзистора 12 и базой восьмого транзистора 13, коллектор которого соединен с первой шиной положительного питания 14, эмиттерами шестого 11 и седьмого 12 транзисторов, эмиттерами девятого 15 и десятого 16 транзисторов, коллекторы которых соединены между собой, коллектор второго входного транзистора 4 соединен с базой одиннадцатого транзистора 17 и коллектором двенадцатого транзистора 18, база которого соединена с коллектором и базой тринадцатого транзистора 19 и базой четырнадцатого транзистора 20, коллектор которого соединен с первой шиной отрицательного потенциала 21, эмиттерами двенадцатого 18 и тринадцатого 19 транзисторов, эмиттерами пятнадцатого 22 и шестнадцатого 23 транзисторов, коллекторы которых соединены между собой, база семнадцатого транзистора 24 соединена с первым выводом второго резистора 25, второй вывод которого соединен с базой восемнадцатого транзистора 26.

Кроме того, выходная шина 27 соединена с вторым выводом первого резистора 2 и первыми выводами первых двух встречно включенных диодов 28 и 29, вторая шина положительного потенциала 30, к которой подключены первый вывод первого конденсатора 31 и эмиттер пятого транзистора 10, коллектор которого соединен с эмиттером девятнадцатого транзистора 32, коллектор которого соединен с коллектором двадцатого транзистора 33 и выходной шиной 27, а

база соединена с эмиттером семнадцатого транзистора 24 и первым выводом третьего резистора 34, второй вывод которого соединен с базой двадцатого транзистора 33 и эмиттером восемнадцатого транзистора 20, а коллектор соединен с первой шиной отрицательного потенциала 21 и коллектором второго транзистора 6, база которого соединена с коллекторами пятнадцатого 22 и шестнадцатого 23 транзисторов, а эмиттер – с базой первого транзистора 5 и первым выводом четвертого резистора 35, второй вывод которого соединен с базой третьего транзистора 8 и эмиттером четвертого транзистора 9, база которого соединена с коллектором девятого 15 и десятого 16 транзисторов, а коллектор – с первой шиной положительного потенциала 14 и коллектором семнадцатого транзистора 24, база которого соединена с эмиттером восьмого транзистора 13, эмиттер двадцатого транзистора 33 соединен с коллектором одиннадцатого транзистора 17, эмиттер которого соединен с второй шиной отрицательного потенциала 36 и первым выводом второго конденсатора 37, второй вывод которого соединен с вторым выводом первого конденсатора 31, с второй шиной нулевого потенциала 38, с первым выводом пятого транзистора 39, второй вывод которого соединен с вторым выводом первой пары встречно включенных диодов 28, 29 и первым выводом второй пары встречно включенных диодов 40, 41, вторые выводы которой соединены через шестой резистор 42 с входной шиной 1, базы девятого 15 и десятого 16 транзисторов соединены между собой и с базой седьмого транзистора 12, базы пятнадцатого 22 и шестнадцатого 23 транзисторов соединены между собой и базой тринадцатого транзистора 19.

Входное устройство схемы сравнения токов состоит из каскада смещения, задающего токи покоя всей схемы, реализованного на резисторе 25, транзисторах 13 и 20 и двух отражателях тока на транзисторах 12, 15, 16 и 19, 22, 23; двух источников опорного напряжения для выходных транзисторов 32 и 33, реализованных на транзисторах 24, 26 и резисторе 34; схемы компенсации тока сдвига, содержащей источник тока на транзисторе 11 и токоотвод на транзисторе 18, значения токов которых зависят от значения коэффициентов β транзисторов 13 и 20 соответственно; входного каскада, содержащего транзисторы 5 и 8 для входных транзисторов 4 и 3 соответственно, включенных по схеме с общей базой; каскада повышения перегрузочной способности входных транзисторов 3 и 4, реализованно-

го на эмиттерных повторителях на транзисторах 6, 9 и резисторе 35; каскада усиления тока на транзисторах 10 и 17, включенных по схеме с общим эмиттером; выходного каскада, содержащего транзисторы 32 и 33, включенные по схеме с общей базой; двухступенчатой схемы ограничения усиления при большом входном сигнале, реализованной на двух парах встречно включенных диодов 28, 29, 40, 41 и резисторах 39, 42.

С целью минимизации тока сдвига предлагаемого устройства параметры следующих групп транзисторов (10, 20), (13, 17), (3, 8), (4, 5), (11, 12, 15, 16) и (18, 19, 22, 23) должны быть идентичными.

Для значительного снижения наводок цифровых цепей питания на аналоговые в предлагаемом устройстве разделены цепи питания аналоговой (14, 7, 21) и цифровой (30, 38, 36) частей. Причем изменение величин питающих напряжений (например, 14 и 30) не приведет ни к каким нежелательным эффектам, так как транзисторы 10 и 17 управляются током, а не напряжением.

Устройство работает следующим образом.

При подаче питания через резистор 25 смещения и транзисторы 13 и 20 протекает ток смещения $I_{см}$, определяемый выражением:

$$I_{см} = \frac{U_{пит14} + U_{пит21} - (U_{бэ12} + U_{бэ13}) - (U_{бэ19} + U_{бэ20})}{R_{25}}$$

где $U_{пит14}$, $U_{пит21}$ — напряжения питания положительного и отрицательного источника питания соответственно;

$U_{бэ12}$, $U_{бэ13}$, $U_{бэ19}$, $U_{бэ20}$ — напряжение база — эмиттер транзисторов 12, 13, 19, 20 соответственно;

R_{25} — значение номинала транзистора 25.

Через датчик тока на транзисторе 12, включенный по схеме диода, протекает базовый ток транзистора 13, т.е.

$$I_{12} = \frac{I_{см}}{\beta_{13}}$$

где I_{12} — ток через транзистор 12;

β_{13} — коэффициент усиления по току β транзистора 13.

Аналогично через датчик тока на транзисторе 19 протекает базовый ток транзистора 20, т.е.

$$I_{19} = \frac{I_{см}}{\beta_{20}}$$

Через датчик тока входного транзистора 3 на транзисторе 8 протекает ток I_8 , равный

$$I_8 = \frac{2 \cdot I_{см}}{\beta_{13}}$$

Аналогично через датчик тока на транзисторе 5 протекает ток I_5 , равный

$$I_5 = \frac{2 \cdot I_{см}}{\beta_{20}}$$

Через входные транзисторы 3 и 4 протекает усредненный ток транзисторов 8 и 5, т.е.

$$I_{3,4} = \frac{2 \cdot I_{см} + 2 \cdot I_{см}}{2} = I_{см} \left(\frac{1}{\beta_{13}} + \frac{1}{\beta_{20}} \right)$$

Базовый ток усилительного каскада на транзисторе 10 равен алгебраической сумме токов транзисторов 11 и 3, т.е.

$$I_{610} = I_{11} - I_{3,4}$$

учитывая, что $I_{11} = I_{12}$ ввиду идентичности транзисторов 11 и 12, получают

$$I_{610} = I_{12} - I_{3,4} = \frac{I_{см}}{\beta_{13}} - I_{см} \left(\frac{1}{\beta_{13}} + \frac{1}{\beta_{20}} \right) = - \frac{I_{см}}{\beta_{20}}$$

где знак минус указывает, что ток вытекает из базы транзистора.

Аналогично базовый ток усилительного каскада на транзисторе 17 равен

$$I_{617} = I_{3,4} - I_{18} = I_{см} \left(\frac{1}{\beta_{13}} + \frac{1}{\beta_{20}} \right) - \frac{I_{см}}{\beta_{20}} = \frac{I_{см}}{\beta_{13}}$$

Определим токи покоя через транзисторы 10 и 17, равные произведению базовых токов этих транзисторов на их коэффициент β . Учитывая, что транзисторы 13 и 17; 20 и 10 имеют идентичные параметры, получаем:

$$I_{10} = I_{610} \cdot \beta_{10} = - \frac{I_{см} \cdot \beta_{10}}{\beta_{20}} = I_{см};$$

$$I_{17} = I_{617} \cdot \beta_{17} = \frac{I_{см}}{\beta_{13}} \cdot \beta_{17} = I_{см}.$$

Отсюда видно, что несмотря на разные значения коэффициентов β транзисторов прямой и обратной проводимости, ток через транзисторы 10 и 17 равен $I_{см}$. Таким образом, можно сделать вывод о том, что в предлагаемом устройстве ток сдвига не зависит от коэффициентов β транзисторов различной проводимости. Данный ток, протекая через выходные транзисторы 32 и 33, включенные по схеме с общей базой, также равен $I_{см}$. Следовательно, при входном токе $\Delta I_{вх}$, равном нулю, на выходе предлагаемого устройства ток равен нулю.

Работа предлагаемой схемы при воздействии входного сигнала ($\Delta I_{вх} \neq 0$) аналогична описанной в прототипе. Коэффициент усиления по току с разомкнутой петлей обратной связи предлагаемого устройства ($K_{1\tau}$) равен:

$$K_{13y} = \frac{\alpha_4 \cdot \beta_{17} \cdot \alpha_{33} \cdot \alpha_{32} \cdot \beta_{10} \cdot \alpha_{32}}{2}$$

где α_4 , α_3 , α_{33} , α_{32} – коэффициент усиления по току транзисторов 4, 3, 33 и 32 соответственно;

β_{17} , β_{10} – коэффициент усиления по току транзисторов 17 и 10 соответственно.

Теперь рассмотрим работу двухступенчатой схемы ограничения усиления. При выходном сигнале устройства, превышающем порог отпирания одного из диодов пары встречно включенных диодов 28, 29, к выходной шине 27 подключается резистор 39 и коэффициент передачи устройства, выраженный в номинале эквивалентного резистора преобразователя ток-напряжение, равен

$$R_{\text{экв}} = R_2 / (R_{39} \cdot K_{13y}).$$

Если выходной сигнал устройства продолжает увеличиваться и достигает на резисторе 39 напряжения отпирания второй пары встречно включенных диодов 40, 41, то замыкается выходная шина устройства через диод 40 или 41 и резистор 42 с входной шиной, тем самым резко увеличивая глубину обратной связи

$$R_{\text{экв}} = R_2 / (R_{42} / (R_{39} \cdot K_{13y})).$$

Применение двухступенчатой схемы ограничения усиления позволяет устранить перегрузки предлагаемого устройства и в то же время значительно сократить время восстановления коэффициента передачи после снятия большого входного сигнала по сравнению со схемой ограничения выполненной в прототипе. Кроме того, при таком построении цепи ограничивающей обратной связи нейтрализуется емкость диодов 40 и 41, так как на малых уровнях выходного сигнала диоды 28 и 29 закрыты и потенциал на диодах 40 и 41 не изменяется. Негативное воздействие емкости диодов 40 и 41 без принятия этих мер в прототипе проявляется через эффект Миллера, т.е. внесением низкочастотного полюса с частотой

$$f_m = \frac{1}{2\pi \cdot R_{\text{ос}} \cdot C_d}$$

где $R_{\text{ос}}$ – номинал резистора обратной связи;

C_d – суммарная емкость диодов и резистора обратной связи.

В предлагаемом же устройстве из C_d емкость диодов 40 и 41 можно практически исключить, что увеличивает значения f_m в 5-10 раз при конструктивной емкости резистора 0,5-1 пФ и емкости p-n-переходов диодов 5-10 пФ.

Применение эмиттерных повторителей на транзисторах 9, 6 и резисторе 35 необхо-

димо с целью повышения перегрузочной способности входного каскада.

В предлагаемом устройстве в цель задания режима входных транзисторов 3 и 4 введены дополнительные эмиттерные повторители на транзисторах 6 и 9. Перегрузочная способность таких источников смещения (за счет наличия эмиттерных повторителей) в β раз выше, чем в схеме прототипа. Для задания необходимого величины рабочего тока транзисторов 6 и 9 в схему введен резистор 35.

При подаче импульса тока в первоначальный момент времени часть входного тока протекает по цепи эмиттер – база транзистора 4 и далее по параллельно соединенным база – коллектор транзистора 5 и эмиттер – коллектор транзистора 6.

Перегрузочная способность источников смещения предлагаемого устройства может быть в β раз выше, чем в прототипе и определяется номиналом резистора 35.

Таким образом, мощность потребления предлагаемого устройства снижена почти в 2 раза.

Формула изобретения

Входное устройство схемы сравнения токов, содержащее четыре резистора, первые два встречно включенных диода, двадцать два транзистора, первую шину нулевого потенциала, первую шину положительного питания, первую шину отрицательного питания, выходную шину, входную шину, к которой подключены первый вывод первого резистора, эмиттер первого входного транзистора, эмиттер второго входного транзистора, база которого соединена с базой первого транзистора, коллектор которого соединен с базой второго транзистора, а эмиттер первого транзистора соединен с первой шиной нулевого потенциала и эмиттером третьего транзистора, база которого соединена с базой первого входного транзистора, а коллектор – с базой четвертого транзистора, коллектор первого входного транзистора соединен с базой пятого транзистора и коллектором шестого транзистора, база которого соединена с коллектором и базой седьмого транзистора и базой восьмого транзистора, коллектор которого соединен с первой шиной положительного питания, эмиттерами шестого и седьмого транзистора, эмиттерами девятого и десятого транзисторов, коллекторы которых соединены между собой, коллектор второго входного транзистора соединен с базой одиннадцатого транзистора и коллектором двенадцатого транзистора, база которого

соединена с коллектором и базой тринадцатого транзистора и базой четырнадцатого транзистора, коллектор которого соединен с первой шиной отрицательного питания, эмиттерами двенадцатого и тринадцатого транзисторов, эмиттерами пятнадцатого и шестнадцатого транзисторов, коллекторы которых соединены между собой, база семнадцатого транзистора соединена с первым выводом второго резистора, второй вывод которого соединен с базой восемнадцатого транзистора, выходная шина соединена с вторым выводом первого резистора и первыми выводами первых двух встречно включенных диодов, от л и ч а ю щ е е с я тем, что, с целью снижения мощности потребления, в него введены вторая пара встречно включенных диодов, пятый и шестой резисторы, первый и второй конденсаторы, вторая шина нулевого потенциала, вторая шина отрицательного потенциала и вторая шина положительного потенциала, к которой подключены первый вывод первого конденсатора и эмиттер пятого транзистора, коллектор которого соединен с эмиттером девятнадцатого транзистора, коллектор которого соединен с коллектором двадцатого транзистора и выходной шиной, а база — с эмиттером семнадцатого транзистора и первым выводом третьего резистора, второй вывод которого соединен с базой двадцатого транзистора и эмиттером восемнадцатого транзистора, база которого соединена с эмиттером четырнадцатого

транзистора, а коллектор соединен с первой шиной отрицательного потенциала и коллектором второго транзистора, база которого соединена с коллекторами пятнадцатого и шестнадцатого транзисторов, а эмиттер — с базой первого транзистора и первым выводом четвертого резистора, второй вывод которого соединен с базой третьего транзистора и эмиттером четвертого транзистора, база которого соединена с коллекторами девятого и десятого транзисторов, а коллектор — с первой шиной положительного потенциала и коллектором семнадцатого транзистора, база которого соединена с эмиттером восьмого транзистора, эмиттер двадцатого транзистора соединен с коллектором одиннадцатого транзистора, эмиттер которого соединен с второй шиной отрицательного потенциала и первым выводом второго конденсатора, второй вывод которого соединен с вторым выводом первого конденсатора, с второй шиной нулевого потенциала, с первым выводом пятого резистора, второй вывод которого соединен с вторым выводом первой пары встречно включенных диодов и первым выводом второй пары встречно включенных диодов, вторые выводы которой соединены через шестой резистор с входной шиной, базы девятого и десятого транзисторов соединены между собой и с базой седьмого транзистора, базы пятнадцатого и шестнадцатого транзисторов соединены между собой и с базой тринадцатого транзистора.

Редактор А. Мотыль

Составитель Н. Маркин
Техред М. Моргентал

Корректор Н. Ревская

Заказ 284

Тираж 464

Подписные

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101