



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4663950/24

(22) 20.03.89

(46) 30.08.91. Бюл. № 32

(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института

(72) А.П.Стахов, В.И.Моисеев, Л.В.Крупельницкий, И.С.Левачкова, В.Я.Стейскал, В.Я.Майстришин и О.Г.Душко

(53) 681.325 (088.8)

(56) Орнатский П.П. Автоматические измерения и приборы, Киев: Вища школа, 1986, рис.2.86.

Мирский Г.Я. Микропроцессоры в измерительных приборах, М., 1989, с.50, рис. 2.11.

2

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

(57) Изобретение относится к цифровой измерительно-вычислительной технике и может быть использовано для преобразования аналоговых низкоуровневых величин в цифровые. Изобретение позволяет повысить точность преобразования. Это достигается тем, что в устройстве, содержащее усилитель, преобразователь напряжения - код, цифроаналоговый преобразователь, вычислительно-управляющий блок, введены два аналоговых коммутатора, делитель напряжения, термостатированный источник опорного напряжения. 1 з.п.ф-лы, 6 ил.

Изобретение относится к цифровой измерительно-вычислительной технике и может быть использовано для высокоточного преобразования низкоуровневых аналоговых сигналов в цифровые.

Целью изобретения является повышение точности преобразования.

На фиг. 1 приведена функциональная схема аналого-цифрового преобразователя; на фиг. 2 - функциональная схема вычислительно-управляющего блока; на фиг. 3-5 - алгоритм работы преобразователя в режиме самопроверки; на фиг. 6 - алгоритм работы преобразователя в режиме непосредственного преобразования сигнала.

Аналого-цифровой преобразователь (фиг. 1) содержит входную шину 1, термостатированный источник 2 опорного напряжения (ТИОН), шину 3 нулевого потенциала, аналоговый коммутатор (АК) 4, усилитель 5, аналоговый коммутатор 6, преобразователь

7 напряжения - код, цифроаналоговый преобразователь (ЦАП) 8, делитель 9 напряжения (ДН), вычислительно-управляющий блок (ВУБ) 10, выходную шину (ВЫХ) 11, шины 12 "Запуск" и 13 "Начальная установка", выходы 14-19 вычислительно-управляющего блока 10, входы 20 и 21 вычислительно-управляющего блока, выходы 22 вычислительно-управляющего блока 10.

Вычислительно-управляющий блок (фиг. 2) содержит центральный процессор 23, блок 24 постоянной памяти, блок 25 оперативной памяти, блок 26 дешифраторов, блок 27 вывода информации и блок 28 ввода информации.

Особенностью устройства является исключение из результата преобразования аддитивной и мультипликативной погрешностей, погрешности нелинейности и температурной погрешности усилителя 5.

Для коррекции погрешности нелинейности, аддитивной и мультипликативной по-

грешностей применяется кусочно-линейная аппроксимация преобразовательной характеристики усилителя 5 по некоторому числу предварительно снятых точек. При этом для каждого  $l$ -го участка преобразовательной характеристики

$$U_{\text{вых}} = \Delta_l + S_l^1 U_{\text{вх}},$$

где  $\Delta_l$  — смещение нулевого уровня на  $l$ -м линейном участке прямой преобразовательной характеристики;

$S_l^1$  — чувствительность прямой преобразовательной характеристики на  $l$ -м участке;

$U_{\text{вх}}$  — напряжение, подаваемое на вход усилителя 5;

$U_{\text{вых}}$  — выходное напряжение усилителя 5, соответствующее входному напряжению.

Устройство функционирует в двух режимах: режиме самоповерки и режиме непосредственного преобразования.

Режим самоповерки состоит из трех этапов.

На первом этапе после запуска устройства вычислительно-управляющий блок 10 выдает сигнал с выхода 14, коммутирующий выход цифроаналогового преобразователя 8 на первый вход преобразователя 7. На выходах 22 вычислительно-управляющий блок 10 последовательно формирует коды  $K_1^{\text{II}}, K_2^{\text{II}}, \dots, K_N^{\text{II}}$ . Каждому из этих сигналов на входе корректирующего цифроаналогового преобразователя 8 соответствуют сигналы  $A_1, A_2, \dots, A_N$  на его выходе. В начале каждого цикла аналого-цифрового преобразования вычислительно-управляющий блок 10 выдает сигнал с выхода 19, запускающий преобразователь 7. По окончании цикла преобразования преобразователь 7 выдает сигнал "Готов", поступающий на вход 20 вычислительно-управляющего блока 10. По этому сигналу код  $K_l$  с первых выходов преобразователя 7 перепиывается в блок 25 вычислительно-управляющего блока 10, после чего устройство переходит к следующему циклу преобразования.

В результате в блоке 25 вычислительно-управляющего блока 10 формируется массив входных значений  $\{K_l\}$  прямой преобразовательной характеристики усилителя 5. Далее вычислительно-управляющий блок 10 выдает сигнал 18, коммутирующий на вход усилителя 5 первый выход делителя 9, и сигнал с выхода 14, подключающий первый вход преобразователя 7 к выходу усилителя 5. Вычислительно-управляющий блок 10 на выходы 22 последовательно выдает сигналы  $K_1^{\text{II}}, K_2^{\text{II}}, \dots, K_N^{\text{II}}$ , поступающие на входы цифро-аналогового преобразова-

ля. Соответствующие им значения выходного сигнала  $A_1, A_2, \dots, A_N$  поступают через делитель 9 на вход устройства.

Вычислительно-управляющий блок 10 в начале каждого цикла преобразования выдает сигнал с выхода 19, запускающий преобразователь 7. Сигнал "Готов" на входе 20 вычислительно-управляющего блока 10 свидетельствует об окончании цикла преобразования.

На первый вход усилителя 5 в каждом цикле преобразования поступает сигнал

$$A_l = A_l K_{\text{дл}},$$

где  $K_{\text{дл}}$  — коэффициент деления делителя 9, причем  $K_{\text{дл}} \approx 1/K_{\text{ус}}$ ,  $K_{\text{ус}}$  — коэффициент усиления.

Сигнал с выхода усилителя 5 поступает на вход преобразователя 7, на первых выходах которого формируется соответствующий код  $K_l^{\text{I}}$ .

Результат работы устройства — формирование в блоке 25 вычислительно-управляющего блока 10 массива входных значений  $\{K_l^{\text{I}}\}$  прямой преобразовательной характеристики усилителя 5.

Вычислительно-управляющий блок 10 вычисляет коэффициенты чувствительности характеристики для каждого  $l$ -го интервала линейности прямой преобразовательной характеристики усилителя:

$$S_l^1 = (K_{l+1}^{\text{I}} - K_l^{\text{I}}) / (K_{l+1} - K_l)$$

обратной преобразовательной характеристики:

$$S_l = 1/S_l^1.$$

Смещение нулевого уровня на  $l$ -м интервале линейности прямой преобразовательной характеристики усилителя вычисляется вычислительно-управляющим блоком 10 по формуле

$$\Delta_l = K_l^{\text{I}} + 1 - K_l + 1 \cdot S_l^1.$$

обратной преобразовательной характеристики —

$$\Delta_l = -\Delta_l / S_l^1$$

Таким образом, результат работы устройства на первом этапе режима самоповерки — формирование в блоке 25 вычислительно-управляющего блока 10 таблицы коэффициентов  $\{\Delta_l\}, \{S_l^1\}$ .

В начале следующего этапа режима самоповерки вычислительно-управляющий блок 10 выдает сигнал 14, коммутирующий выход усилителя 5 на первый вход преобразователя 7, и сигнал 17, подключающий шину нулевого потенциала на вход усилителя 5. На выходе 19 вычислительно-управляющего блока 10 формируется сигнал "Пуск", поступающий на второй вход преобразователя 7. Происходит кодирование нулевого потенциала, по окончании которого на втором выходе преобразователя 7 формируется сигнал "Готов". Полученный код  $KZERO$  с выходной шины преобразователя 7 заносится в блок 25 вычислительно-управляющего блока 10.

Коррекция нелинейности усилителя 5 осуществляется следующим образом.

Вычислительно-управляющий блок 10 определяет принадлежность значения  $KZERO$  одному из интервалов линейной характеристики обратной преобразовательной характеристики путем последовательного сравнения величины  $KZERO$  с граничными значениями интервалов  $K_1^1, K_2^1, \dots, K_N^1$ , полученными на первом этапе режима самоповерки и хранящимися в блоке 25 вычислительно-управляющего блока 10.

Из таблицы коэффициентов, сформированной на первом этапе режима самоповерки, извлекаются соответствующие определенному  $k$ -му рабочему интервалу обратной преобразовательной характеристики значения  $\Delta k$  и  $S_k$ . Скорректированный выходной код вычисляется по формуле

$$KZERO = KZERO^1 S_k + \Delta K$$

и заносится в блок 25 вычислительно-управляющего блока 10.

Полученное на втором этапе режима самоповерки значение  $KZERO$  используется для коррекции аддитивной погрешности (погрешности нуля) преобразовательной характеристики усилителя 5.

В начале третьего этапа режима самоповерки вычислительно-управляющий блок 10 выдает сигнал 14, коммутирующий на первый вход преобразователя 7 выход усилителя 5, и сигнал 16, коммутирующий выход термостатированного источника 3 на вход устройства. На выходе 12 вычислительно-управляющего блока 10 формируется сигнал, запускающий преобразователь 7. По окончании кодирования выходного сигнала термостатированного источника 2 на втором выходе преобразователя 7 формируется сигнал "Готов". Полученный код  $KTION$  с первых выходов преобразователя 7

перелисывается в блок 25 вычислительно-управляющего блока 10.

Коррекция нелинейности усилителя 5 осуществляется по принципу, описанному выше. В результате коррекции нелинейности в блок 25 записывается значение  $KTION$ .

Аддитивная погрешность преобразователя корректируется вычитанием из кода  $KTION$ , значения  $KZERO$ :

$$KTION = KTION - KZERO.$$

Полученное значение отличается от кода  $KOKK$ , соответствующего выходному напряжению термостатированного источника 2, вследствие температурного ухода параметров устройства. Значение  $KOKK$  измеряется на этапе изготовления устройства и заносится в блок 24 вычислительно-управляющего блока 10.

Корректирующий масштабный коэффициент  $KM$  определяется из соотношения

$$KM = KOKK / KTION.$$

Для коррекции погрешности масштаба каждое значение массива коэффициентов  $\{\Delta k\}$  и  $\{S_k\}$  умножается на найденный коэффициент  $KM$ .

В режиме непосредственного преобразования (фиг. 6) входной аналоговый сигнал  $U_{вх}$  поступает на входную шину 1. Вычислительно-управляющий блок 10 выдает сигнал 15, коммутирующий входную шину 1 устройства на первый вход усилителя 5, и сигнал 15, коммутирующий выход усилителя 5 на первый вход преобразователя 7, запущенного сигналом 19 вычислительно-управляющего блока 10. По сигналу "Готов" на втором выходе преобразователя 7 код  $K_{вых}$  с первых выходов преобразователя 7 перелисывается в блок 25 вычислительно-управляющего блока 10.

Вычислительно-управляющий блок 10 выполняет коррекцию погрешностей нелинейности, аддитивной и мультипликативной с учетом данных, полученных в режиме самоповерки. Определяется принадлежность значения  $K_{вых}$  одному из интервалов линейности обратной преобразовательной характеристики путем последовательного сравнения величины  $K_{вых}$  со значениями  $K_1, K_2, \dots, K_N$ , полученными на первом этапе режима самоповерки и хранящимися в блоке 25 вычислительно-управляющего блока 10. Из таблицы коэффициентов извлекаются соответствующие  $k$ -му рабочему интервалу обратной преобразовательной характери-

стики значения  $\Delta_k$  и  $S_k$ , скорректированный выходной код вычисляется по формуле

$$K_{\text{вых}} = K_{\text{вых}}^1 S_k + \Delta_k - KZ_{\text{ERO}}.$$

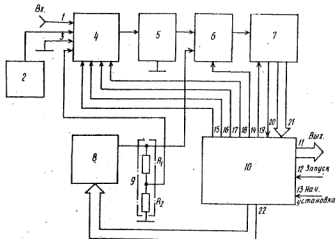
и поступает на выходную шину 11 устройства. На этом работа в режиме непосредственного преобразования закончена.

#### Формула изобретения

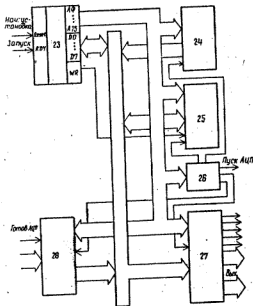
1. Аналого-цифровой преобразователь, содержащий усилитель, преобразователь напряжения - код, вычислительный управляющий блок, первые выходы которого соединены с соответствующими входами цифроаналогового преобразователя, а вторые выходы являются выходной шиной, отличающийся тем, что, с целью повышения точности преобразования, в него введены делитель напряжения и последовательно соединенные термостатированный источник опорного напряжения, первый аналоговый коммутатор, а также второй аналоговый коммутатор, выход которого соединен с первым входом преобразователя напряжение - код, второй вход которого соединен с третьим выходом вычислительно-управляющего блока, первые выходы преобразователя напряжение - код соединены с соответствующими первыми входами вычислительно-управляющего блока, второй вход которого соединен с вторым выходом преобразователя напряжение - код, четвертый, пятый, шестой, седьмой и восьмой выходы вычислительно-управляющего блока соединены соответственно с первым входом второго аналогового коммутатора и вторым, третьим, четвертым и пятым входами первого аналогового коммутатора, шестой вход которого соединен с первым выходом делителя напряжения, а седьмой и восьмой входы являются соответственно шиной нулевого потенциала и входной шиной, второй вход второго аналогового коммутатора соединен с вторым выходом делителя напряжения, первый вход которого соединен с выходом цифроаналогового преобразовате-

ля, второй вход является шиной нулевого потенциала, третий и четвертый входы вычислительно-управляющего блока являются соответственно шинами "Запуск" и "Начальная установка", первый вход усилителя соединен с выходом первого аналогового коммутатора, второй вход является шиной нулевого потенциала, а выход соединен с третьим входом второго аналогового коммутатора.

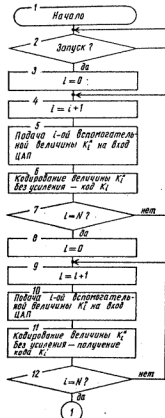
2. Преобразователь по п.1, отличающийся тем, что вычислительно-управляющий блок выполнен на центральном процессоре, блоке постоянной памяти, блоке оперативной памяти, блоке дешифраторов, блоке ввода информации и блоке вывода информации, входы "Готовность" и "Сброс" центрального процессора являются соответственно третьим и четвертым входами блока, адресные выходы подключены к соответствующим адресным входам блока постоянной памяти, блока оперативной памяти, блока дешифрации, блоков ввода и вывода информации, информационные входы-выходы подключены к соответствующим информационным выходам блока постоянной памяти, информационным входам-выходам блока оперативной памяти, информационным входам блока вывода информации, выходам блока ввода информации, выход "Запись" подключен к выходу записи-считывания блока оперативной памяти, вход разрешения работы которого подключен к первому выходу блока дешифрации, второй, третий и четвертый выходы которого соединены соответственно с входами разрешения работы блока постоянной памяти и блоков вывода и ввода информации, пятый выход является третьим выходом блока, первые и второй информационные входы блока ввода информации являются соответственно первыми и вторыми входами блока, первый, второй, третий, четвертый, пятый, шестые и седьмые выходы блока вывода информации являются соответственно четвертым, восьмым, седьмым, шестым, пятым, первыми и вторыми выходами блока.



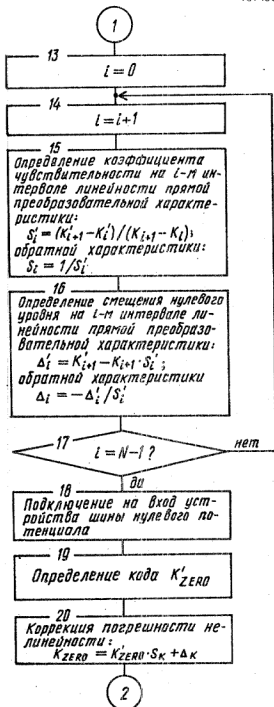
Фиг. 1



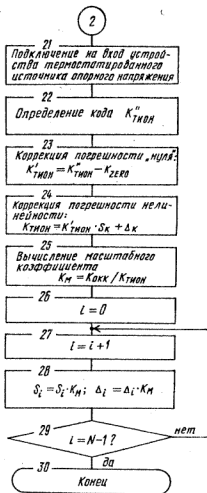
Фиг. 2



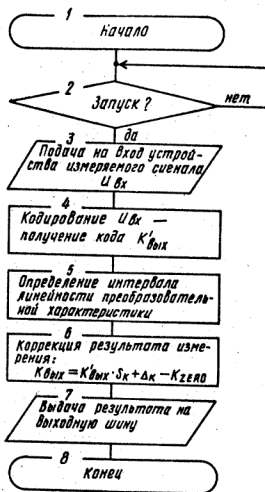
Фиг. 3



Фиг. 4



Фиг. 5



Фиг. 6

Редактор А.Лежнина

Составитель А.Титов  
Техред М.Моргентал

Корректор М.Кучерявая

Заказ 2935

Тираж 448

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., 4/5