



УКРАЇНА

(19) **UA** (11) **160268** (13) **U**
(51) МПК (2025.01)
G06T 15/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

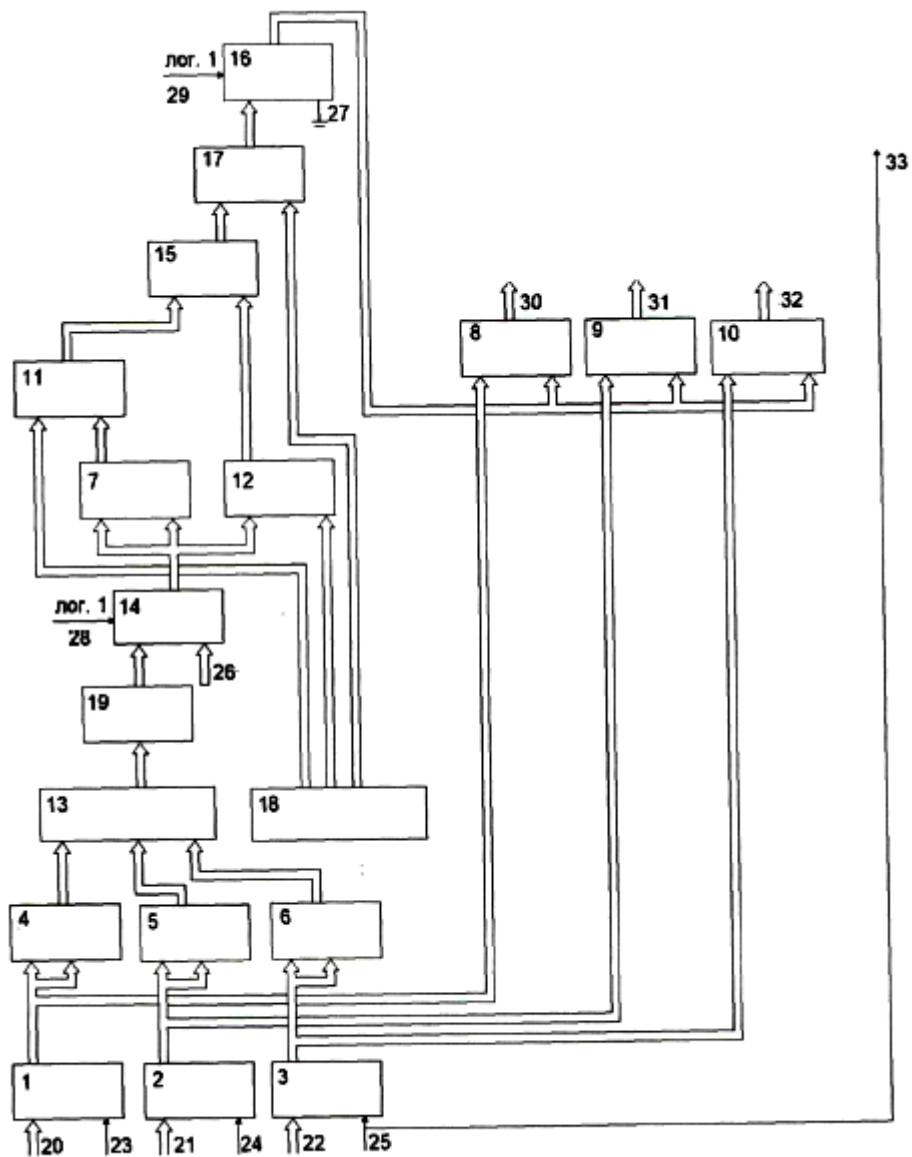
(21) Номер заявки: u 2025 00802	(72) Винахідник(и): Романюк Олександр Никифорович (UA), Павлов Сергій Володимирович (UA), Майданюк Володимир Павлович (UA), Завальнюк Євген Костянтинович (UA)
(22) Дата подання заявки: 24.02.2025	
(24) Дата, з якої є чинними права інтелектуальної власності: 21.08.2025	
(46) Публікація відомостей про державну реєстрацію: 20.08.2025, Бюл.№ 34	(73) Володілець (володільці): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, вул. Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

(54) ПРИСТРІЙ ДЛЯ НОРМАЛІЗАЦІЇ ВЕКТОРІВ У СИСТЕМАХ КОМП'ЮТЕРНОЇ ГРАФІКИ

(57) Реферат:

Пристрій для нормалізації векторів у системах комп'ютерної графіки містить сім блоків множення, чотири суматори, три інформаційні входи, три інформаційні виходи. Додатково пристрій містить восьмий та дев'ятий блоки множення, п'ятий суматор, перший, другий, третій регістри, блок постійної пам'яті, блок інверторів, перший, другий, третій керуючі входи пристрою, керуючий вихід пристрою.

UA 160268 U



Фиг. 1

Корисна модель належить до автоматики та обчислювальної техніки і призначена для нормалізації векторів у системах комп'ютерної графіки при формуванні реалістичних зображень.

Відомий пристрій для нормалізації векторів у системах комп'ютерної графіки [FPGA Implementation of Pipelined On-line Scheme for 3-D Vector Normalization, ISBN:0-7695-2667-5, опубліковано у Field-Programmable Custom Computing Machines, 2001. FCCM '01. The 9th Annual IEEE Symposium], який містить блок вирівнювання порядків, блок додавання, блок добування кореня, перший+третій блоки ділення, причому перший, другий та третій входи блока додавання з'єднано із першим, другим та третім виходами блока вирівнювання порядків, відповідно, перший, другий, третій входи якого підключено до першого, другого та третього керуючих блоків пристрою, відповідно, вхід блока добування кореня підключено до виходу блока додавання, вхід першого блока ділення підключено до першого виходу блока добування кореня, а вихід є першим інформаційним виходом пристрою, вхід другого блока ділення підключено до другого виходу блока добування кореня, а вихід є другим інформаційним виходом пристрою, вхід третього блока ділення підключено до третього виходу блока добування кореня, а вихід є третім інформаційним виходом пристрою.

Недоліком пристрою є висока обчислювальна складність при нормалізації векторів, що зумовлює низьку швидкість пристрою.

Найбільш близьким до технічного рішення, що заявляється, є пристрій для нормалізації векторів у системах комп'ютерної графіки [Phong Shading Reformulation for Hardware Renderer Simplification Apple Technical Report #43, Advanced Technology Group Apple Computer, Inc. August 2, 1993], який містить перший+сьомий блоки множення, перший+четвертий суматори, блок ділення, перший+третій інформаційні входи пристрою, перший+третій інформаційні виходи пристрою, причому вихід першого блока множення підключено до першого входу першого суматора, а перший та другий входи підключено до першого інформаційного входу пристрою, вихід другого блока множення підключено до другого входу першого суматора, а перший та другий входи підключено до другого інформаційного входу пристрою, вихід третього блока множення підключено до третього входу першого суматора, а перший та другий входи підключено до третього інформаційного входу пристрою, вхід другого суматора підключено до виходу першого суматора, перший та другий входи четвертого блока множення підключено до виходу другого суматора, а вихід підключено до входу блока ділення, вхід четвертого суматора підключено до виходу блока ділення, а вихід підключено до других входів п'ятого, шостого, сьомого блоків множення, перші входи яких підключено до першого, другого та третього інформаційних входів пристрою відповідно, виходи п'ятого, шостого, сьомого блоків множення підключено до першого, другого та третього інформаційних виходів пристрою, відповідно.

Недоліком пристрою є недостатньо висока точність обчислення нормалізованих векторів.

В основу корисної моделі поставлено задачу створення пристрою для нормалізації векторів у системах комп'ютерної графіки, в якому за рахунок введення нових блоків і зв'язків досягається підвищення точності обчислення нормалізованих векторів.

Поставлена задача вирішується тим, що у пристрій для нормалізації векторів у системах комп'ютерної графіки, який містить сім блоків множення, чотири суматори, три інформаційні входи, три інформаційні виходи, причому виходи першого, другого та третього блоків множення підключені до першого, другого, третього входу першого суматора, відповідно, перший та другий входи четвертого блока множення під'єднано до виходу другого суматора, вихід четвертого суматора підключено до других входів п'ятого, шостого, сьомого блоків множення, відповідно, виходи п'ятого, шостого, сьомого блоків множення під'єднані до першого, другого, третього інформаційних виходів пристрою, відповідно, введено восьмий та дев'ятий блоки множення, п'ятий суматор, перший, другий, третій реєстри, блок постійної пам'яті, блок інверторів, перший, другий, третій керуючі входи пристрою, керуючий вихід пристрою, причому вихід першого суматора підключено до входу блока інверторів, вихід блока інверторів підключено до першого входу другого суматора, другий вхід другого суматора служить для постійної подачі операнда, що дорівнює одиниці, вхід переносу другого суматора підключено до рівня логічної одиниці, вихід другого суматора підключено до першого, другого входів четвертого блока множення та до першого входу дев'ятого блока множення, другий вхід дев'ятого блока множення підключено до другого виходу блока постійної пам'яті, вихід дев'ятого блока множення підключено до другого входу третього суматора, вихід четвертого блока множення підключено до другого входу восьмого блока множення, перший вхід восьмого блока множення підключено до першого виходу блока постійної пам'яті, вихід восьмого блока множення підключено до першого входу третього суматора, вихід третього суматора

підключено до першого входу п'ятого суматора, другий вхід п'ятого суматора підключено до третього виходу блока постійної пам'яті, вихід п'ятого суматора підключено до першого входу четвертого суматора, кожний i -й розряд першого входу четвертого суматора підключено до $(i+3)$ -го розряду виходу п'ятого суматора, другий вхід четвертого суматора заземлено, вхід переносу четвертого суматора підключено до рівня логічної одиниці, вихід першого регістра підключено до першого й другого входів першого блока множення та до першого входу п'ятого блока множення, вихід другого регістра підключено до першого й другого входів другого блока множення та до першого входу шостого блока множення, вихід третього регістра підключено до першого й другого входів третього блока множення та до першого входу сьомого блока множення, інформаційний вхід першого регістра підключено до першого інформаційного входу пристрою, а керуючий вхід підключено до першого керуючого входу пристрою, інформаційний вхід другого регістра підключено до другого інформаційного входу пристрою, а керуючий вхід підключено до другого керуючого входу пристрою, інформаційний вхід третього регістра підключено до третього інформаційного входу пристрою, а керуючий вхід підключено до третього керуючого входу пристрою, керуючий вихід пристрою підключено до третього керуючого входу пристрою.

Корисна модель пояснюється кресленнями, де на фіг. 1 зображено структурну схему пристрою,

на фіг. 2 зображено графіки максимальних відносних похибок δ нормалізації векторів для функцій пристрою за найближчим аналогом ($f(k)$) та пристрою за корисною моделлю ($h(k)$).

Пристрій для нормалізації вектора у системах комп'ютерної графіки (фіг. 1) містить перший+третій регістри 1-К3, відповідно, перший+дев'ятий блоки множення 4÷12, відповідно, перший+п'ятий суматори 13÷17, відповідно, блок постійної пам'яті 18, блок інверторів 19, перший+третій 20÷22 інформаційні входи пристрою, відповідно, перший+третій 23÷25 керуючі входи пристрою, відповідно, другий 26 вхід другого суматора 14, другий 27 вхід четвертого суматора 16, вхід 28 переносу другого суматора 14, вхід 29 переносу четвертого суматора 16, перший+третій 30÷32 інформаційні виходи пристрою, відповідно, керуючий 33 вихід пристрою.

Керуючий вхід першого регістра 1 підключено до першого 23 керуючого входу пристрою, а інформаційний вхід підключено до першого 20 інформаційного входу пристрою. Керуючий вхід другого регістра 2 підключено до другого 24 керуючого входу пристрою, а інформаційний вхід підключено до другого 21 інформаційного входу пристрою. Керуючий вхід третього регістра 3 підключено до третього 25 керуючого входу пристрою, а інформаційний вхід підключено до третього 22 інформаційного входу пристрою. Перший, другий входи першого блока множення 4 підключено до виходу першого регістра 1 пристрою. Перший, другий входи другого блока множення 5 підключено до виходу другого регістра 2 пристрою. Перший, другий входи третього блока множення 6 підключено до виходу третього регістра 3 пристрою. Перший+третій входи першого суматора 13 підключено до виходів першого+третього блоків множення 4÷6, відповідно. Вхід блока інверторів 19 під'єднано до виходу першого суматора 13, а вихід - до першого входу другого суматора 14. Другий 26 вхід другого суматора 14 служить для подачі операнда, що дорівнює одиниці. Найпростіше це зробити монтажним шляхом, подавши на перший розряд другого 26 входу другого суматора 14 одиницю, а всі старші розряди заземлити. Вхід 28 переносу другого суматора 14 підключено до рівня логічної одиниці. Вихід другого суматора 14 підключено до першого+другого входів четвертого блока множення 7 та до першого входу дев'ятого блока множення 12, другий вхід якого під'єднано до другого виходу блока постійної пам'яті 18. Вихід дев'ятого блока множення 12 підключено до другого входу третього суматора 15. Вихід четвертого блока множення 7 підключено до другого входу восьмого блока множення 11, перший вхід якого підключено до першого виходу блока постійної пам'яті 18. Вихід восьмого блока множення 11 підключено до першого входу третього суматора 15. Вихід третього суматора 15 підключено до першого входу п'ятого суматора 17, другий вхід якого підключено до третього виходу блока постійної пам'яті 18. Вихід п'ятого суматора 17 підключено до першого входу четвертого суматора 16, другий 27 вхід якого заземлено, а вхід 29 переносу четвертого суматора 16 підключено до рівня логічної одиниці. Перший вхід п'ятого блока множення 8 підключено до виходу першого регістра 1, другий вхід підключено до виходу четвертого суматора 16, а вихід є першим 30 інформаційним виходом пристрою. Перший вхід шостого блока множення 9 підключено до виходу другого регістра 2, другий вхід - до виходу четвертого суматора 16, а вихід є другим 31 інформаційним виходом пристрою. Перший вхід сьомого блока множення 10 підключено до виходу третього регістра 3, другий вхід - до виходу четвертого суматора 16, а вихід є третім 32 інформаційним виходом пристрою. Керуючий 33 вихід пристрою підключено до третього керуючого входу пристрою.

Теоретичні положення, що лежать в основі функціонування пристрою.

Серед етапів графічного конвеєра найбільш трудомістким є етап зафарбовування. На даному етапі визначається інтенсивність кольору для кожного пікселя зображення. Для цього враховуються вектор освітлення $\vec{L}$, вектор до спостерігача $\vec{V}$, вектор нормалі до точки поверхні $\vec{N}$, що повинні бути нормалізовані.

5 Для нормалізації векторів використовується формула

$$\frac{x}{\sqrt{x^2+y^2+z^2}}, \frac{y}{\sqrt{x^2+y^2+z^2}}, \frac{z}{\sqrt{x^2+y^2+z^2}}, (1)$$

де x, y, z - координати вектора до нормалізації, x', y', z' - нормалізовані координати вектора.

Нормалізація векторів передбачає здійснення трудомістких операцій ділення та обчислення квадратного кореня.

10 У найближчому аналогу процес нормалізації векторів спрощено за рахунок апроксимованого розрахунку оберненого квадратного кореня

$$\frac{1}{\sqrt{x^2+y^2+z^2}} = \frac{1}{\sqrt{k}} + \frac{(1-k)^2}{2} \quad (2)$$

Для підвищення точності обчислення нормалізованих векторів введемо у вираз (2)

15 коефіцієнти $A_0, B_0, C_0, D_0, E_0, F_0, G_0, G_0 k^2$

$$\frac{1}{\sqrt{k}} = 1 + A_0 \left(\frac{B_0(D_0 + E_0 k)^2 + F_0(G_0 + G_0 k)^2}{2} \right) \quad (3)$$

Шляхом прямого перебору оптимальних коефіцієнтів встановлюємо, що значення $A_0=0.25$, $B_0=1.5$, $C_0=0.25$, $D_0=2.5$, $E_0=2$, $F_0=0.125$, $G_0=1.5$.

Розкривши дужки у виразі (3) та здійснивши необхідні перетворення, отримуємо більш просту формулу

20 $\frac{1}{\sqrt{k}} = 1 + \frac{A(1-k)^2 + B(1-k)^2 + C}{8}, (4)$

де $A=6$, $B=3.406$, $C=0.031$.

Максимальна відносна похибка апроксимації оригінального виразу (1) не перевищує 0.75 % (фіг. 2). Використання апроксимаційної формули (4) забезпечує підвищення точності наближеної нормалізації векторів при усуненні трудомісткої операції знаходження оберненого квадратного кореня.

Пристрій працює наступним чином.

Координата вектора x надходить на перший 20 інформаційний вхід пристрою та записується в перший регістр 1 активним рівнем сигналу на першому 23 керуючому вході пристрою. На другий 21 інформаційний вхід пристрою надходить координата y та записується в другий регістр 2 активним рівнем сигналу на другому 24 керуючому вході пристрою. Значення координати z надходить на третій 22 інформаційний вхід пристрою і записується в третій регістр 3 активним рівнем сигналу на третьому 25 керуючому вході пристрою. Значення координати x з виходу першого регістра 1 подається на перший+другий входи першого блока множення 4 для піднесення відповідної координати до квадрата. Значення координати y з виходу другого регістра 2 подається на перший+другий входи другого блока множення 5, на виході якого формується значення y^2 . На перший+другий входи третього блока множення 6 з виходу третього регістра 3 подається значення координати z із формуванням на його виході значення z^2 . Для отримання значення $x^2+y^2+z^2$ операнди із виходів першого+третього блоків множення 4+6, відповідно, передаються на перший, другий, третій входи першого суматора 13, відповідно. 40 Із виходу першого суматора 13 значення підкореневого виразу $k=x^2+y^2+z^2$ надходить на вхід блока інверторів 19. Вихідне інвертоване значення k подається на перший вхід другого суматора 14, на другий 26 вхід якого подається значення одиниці для формування різниці $1-k$. Оскільки віднімання виконують у доповняльному коді, то на вхід 28 переносу другого суматора 14 подають рівень логічної одиниці. Обчислене значення $1-k$ з виходу другого суматора 14 45 передається на перший і другий входи четвертого блока множення 7, де формується значення $(1-k)^2$, та на перший вхід дев'ятого блока множення 12, на другий вхід якого подається значення коефіцієнта B із другого виходу блока постійної пам'яті 18. Значення $(1-k)^2$ із виходу четвертого блока множення 7 передається на другий вхід восьмого блока множення 11, на перший вхід якого подається коефіцієнт A із першого виходу блока постійної пам'яті 18. Одержане значення 50 $A(1-k)^2$ подається на перший вхід третього суматора 15, на другий вхід якого подається значення $B(1-k)$ з виходу дев'ятого блока множення 12. Значення $A(1-k)^2+B(1-k)$ з виходу третього суматора 15 передається на перший вхід п'ятого суматора 17, на другий вхід якого подається значення коефіцієнта C з третього виходу блока постійної пам'яті 18. Вихідне

значення $A(1-k)^2+B(1-k)+C$ п'ятого суматора 17 подається на перший вхід четвертого суматора 16. Кожен $(i+3)$ -розряд виходу п'ятого суматора 17 підключено до i -го розряду першого входу четвертого суматора 16. Другий 27 вхід четвертого суматора 16 заземлено, а на вхід 29 переносу подано рівень логічної одиниці. Таким чином, на виході четвертого блока множення 16

5 формується результат $\frac{A(1-k)^2+B(1-k)+C}{8}$, який подається на другі входи п'ятого÷сьомого

блоків множення $8\div 10$, відповідно, і перемножується зі значеннями координат вектора x, y, z , що передаються із виходів першого÷третього регістрів -1÷3 на перші входи п'ятого÷сьомого блоків множення $8\div 10$, відповідно. На першому÷третьому $30\div 32$ інформаційних виходах пристрою, відповідно, отримуємо значення координат x', y', z' нормалізованого вектора.

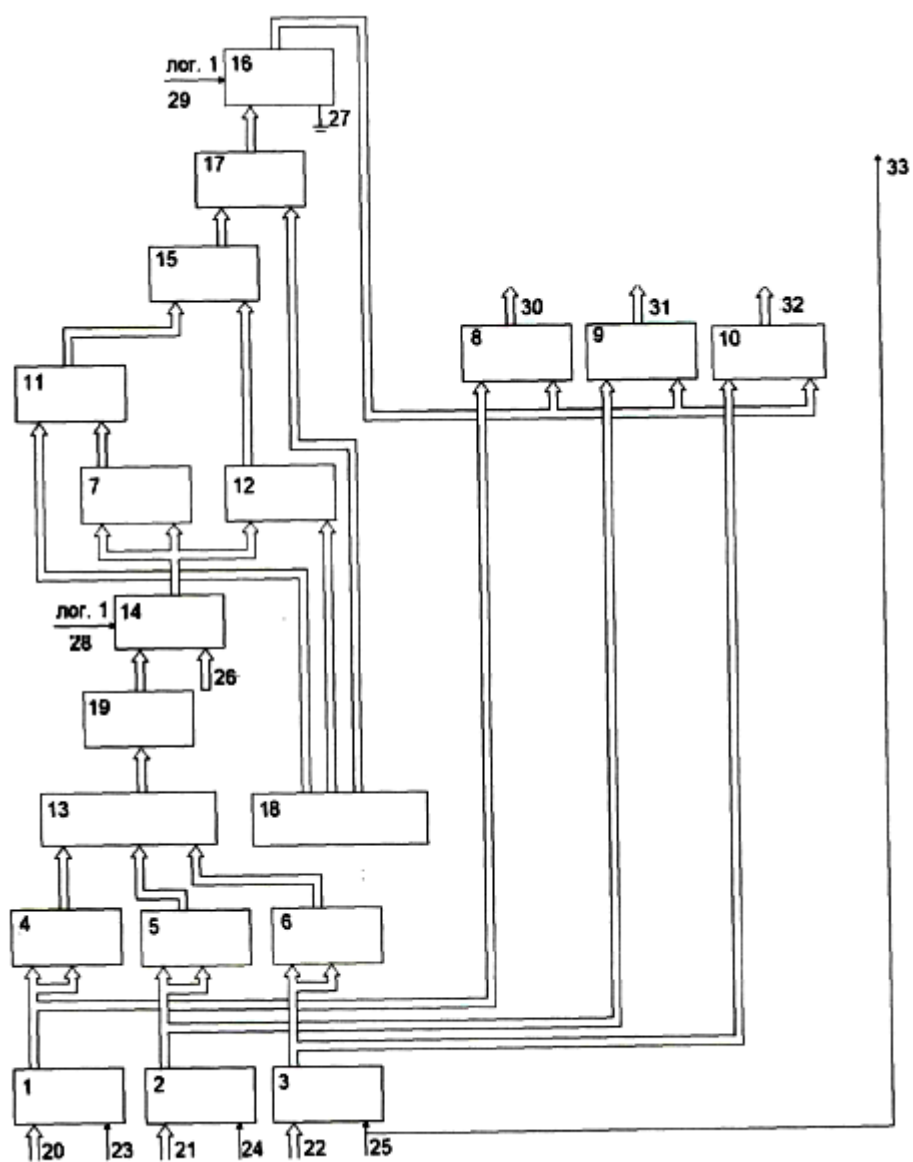
10 Задній фронт активного сигналу на керуючому 33 виході пристрою сигналізує про отримання достовірних даних на інформаційних виходах пристрою, визначення нормалізованого вектора та готовність до прийому нових операндів.

У найближчому аналогу при нормалізації векторів максимальна відносна похибка не перевищує 2.8 % (фіг. 2), а у корисній моделі - не перевищує 0.75 % (фіг. 2).

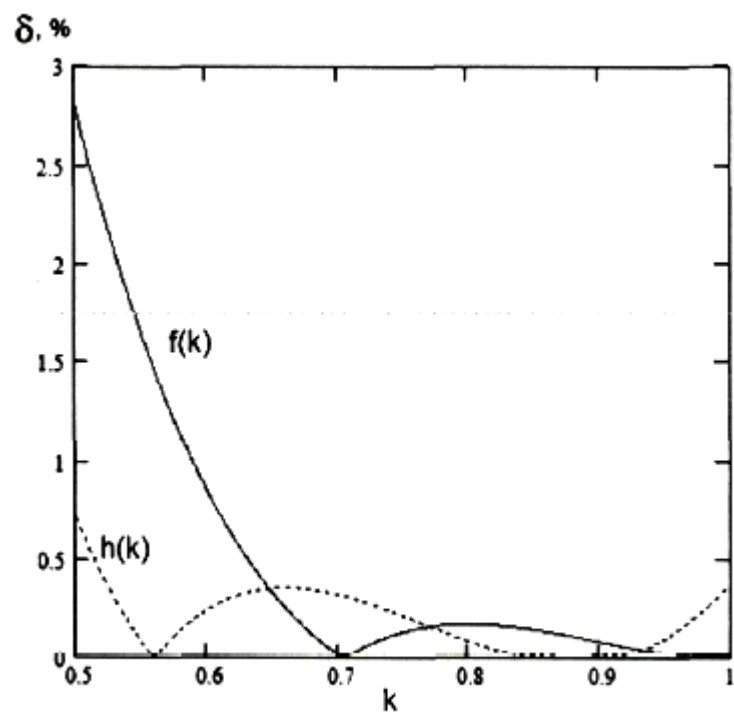
15 Таким чином, точність отриманих значень у порівнянні із найближчим аналогом у 4 рази більша, що свідчить про суттєве підвищення точності нормалізації векторів.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

20 Пристрій для нормалізації векторів у системах комп'ютерної графіки, що містить сім блоків множення, чотири суматори, три інформаційні входи, три інформаційні виходи, причому виходи першого, другого та третього блоків множення підключені до першого, другого, третього входів першого суматора, відповідно, перший та другий входи четвертого блока множення під'єднано до виходу другого суматора, вихід четвертого суматора підключено до других входів п'ятого, шостого, сьомого блоків множення, відповідно, виходи п'ятого, шостого, сьомого блоків множення під'єднані до першого, другого, третього інформаційних виходів пристрою, відповідно, який **відрізняється** тим, що додатково містить восьмий та дев'ятий блоки множення, п'ятий суматор, перший, другий, третій регістри, блок постійної пам'яті, блок інверторів, перший, другий, третій керуючі входи пристрою, керуючий вихід пристрою, причому вихід першого суматора підключено до входу блока інверторів, вихід блока інверторів підключено до першого входу другого суматора, другий вхід другого суматора служить для постійної подачі операнда, що дорівнює одиниці, вхід переносу другого суматора підключено до рівня логічної одиниці, вихід другого суматора підключено до першого, другого входів четвертого блока множення та до першого входу дев'ятого блока множення, другий вхід дев'ятого блока множення підключено до другого виходу блока постійної пам'яті, вихід дев'ятого блока множення підключено до другого входу третього суматора, вихід четвертого блока множення підключено до другого входу восьмого блока множення, перший вхід восьмого блока множення підключено до першого виходу блока постійної пам'яті, вихід восьмого блока множення підключено до першого входу третього суматора, вихід третього суматора підключено до першого входу п'ятого суматора, другий вхід п'ятого суматора підключено до третього виходу блока постійної пам'яті, вихід п'ятого суматора підключено до першого входу четвертого суматора, кожний i -й розряд першого входу четвертого суматора підключено до $(i+3)$ -го розряду виходу п'ятого суматора, другий вхід четвертого суматора заземлено, вхід переносу четвертого суматора підключено до рівня логічної одиниці, вихід першого регістра підключено до першого й другого входів першого блока множення та до першого входу п'ятого блока множення, вихід другого регістра підключено до першого й другого входів другого блока множення та до першого входу шостого блока множення, вихід третього регістра підключено до першого й другого входів третього блока множення та до першого входу сьомого блока множення, інформаційний вхід першого регістра підключено до першого інформаційного входу пристрою, а керуючий вхід підключено до першого керуючого входу пристрою, інформаційний вхід другого регістра підключено до другого інформаційного входу пристрою, а керуючий вхід підключено до другого керуючого входу пристрою, інформаційний вхід третього регістра підключено до третього інформаційного входу пристрою, а керуючий вхід підключено до третього керуючого входу пристрою, керуючий вихід пристрою підключено до третього керуючого входу пристрою.



Фиг. 1



Фиг. 2