



УКРАЇНА

(19) **UA** (11) **158691** (13) **U**
(51) МПК (2025.01)
G06T 15/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки:	u 2024 04403	(72) Винахідник(и):	Романюк Олександр Никифорович (UA), Павлов Сергій Володимирович (UA), Завальнюк Євген Костянтинович (UA)
(22) Дата подання заявки:	10.09.2024	(73) Володілець (володільці):	ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, вул. Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права інтелектуальної власності:	06.03.2025		
(46) Публікація відомостей про державну реєстрацію:	05.03.2025, Бюл.№ 10		

(54) ПРИСТРІЙ ДЛЯ НОРМАЛІЗАЦІЇ ВЕКТОРІВ У СИСТЕМАХ КОМП'ЮТЕРНОЇ ГРАФІКИ

(57) Реферат:

Пристрій для нормалізації векторів у системах комп'ютерної графіки містить дев'ять блоків множення, чотири суматори, три регістри, блок постійної пам'яті, три інформаційні входи пристрою, три керуючі входи пристрою, три інформаційні виходи пристрою, керуючий вихід пристрою. Крім цього, введено дев'ятий блок множення, четвертий суматор і четвертий вихід блока постійної пам'яті. При цьому перший вхід дев'ятого блока множення поєднано з виходом першого суматора, другий вхід поєднано з виходом третього суматора, а вихід поєднано з першим входом четвертого суматора, другий вхід якого поєднано з четвертим виходом блока постійної пам'яті, а вихід підключено до перших входів п'ятого, шостого, сьомого блоків множення, відповідно.

UA 158691 U

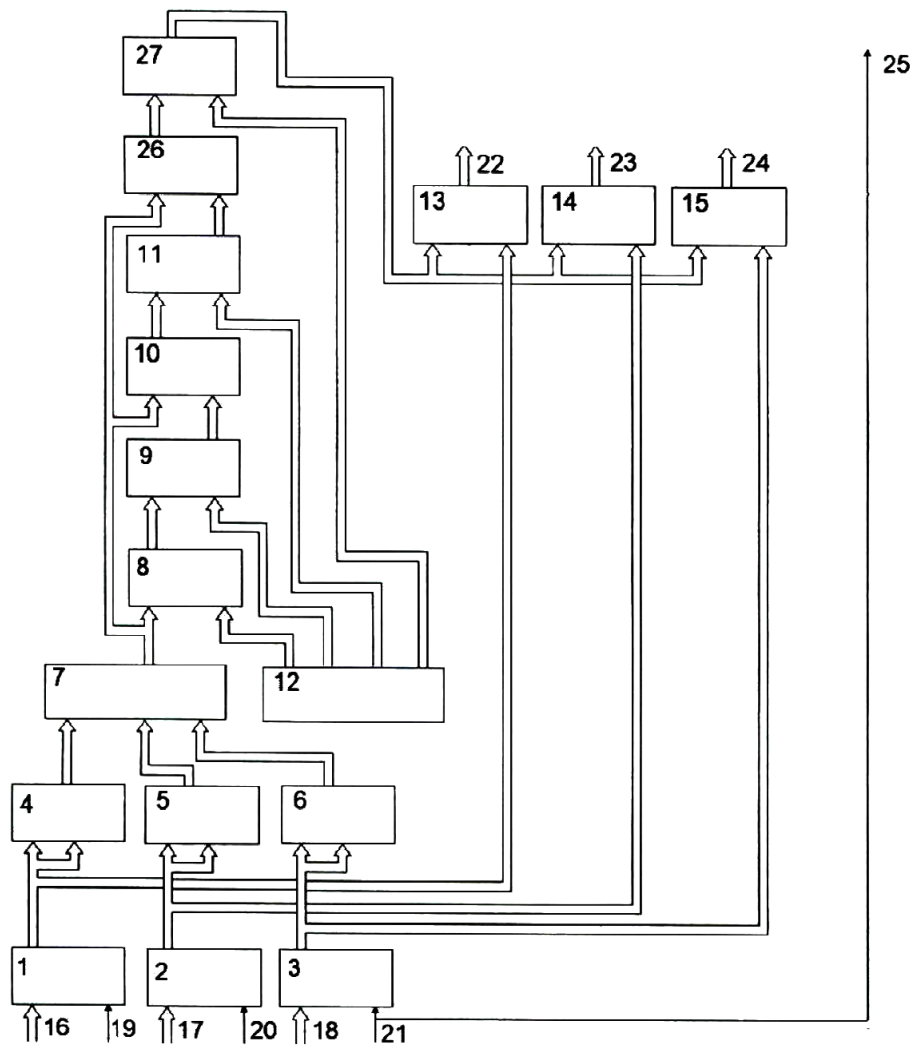


Fig. 1

Корисна модель належить до автоматики та обчислювальної техніки і призначена для нормалізації векторів у системах комп'ютерної графіки при формуванні реалістичних зображень.

Відомий пристрій для нормалізації векторів у системах комп'ютерної графіки (Phong Shading Reformulation for Hardware Renderer Simplification Apple Technical Report #43, Advanced Technology Group Apple Computer, Inc. August 2, 1993), який містить перший - сьомий блоки множення, перший - четвертий суматори, блок ділення, перший - третій інформаційні входи пристрою, перший - третій інформаційні виходи пристрою, вихід першого блока множення підключено до першого входу першого суматора, а перший та другий входи підключено до першого інформаційного входу пристрою, вихід другого блока множення підключено до другого входу першого суматора, а перший та другий входи підключено до другого інформаційного входу пристрою, вихід третього блока множення підключено до третього входу першого суматора, а перший та другий входи підключено до третього інформаційного входу пристрою, вхід другого суматора підключено до виходу першого суматора, перший та другий входи четвертого блока множення підключено до виходу другого суматора, а вихід підключено до першого входу третього суматора, другий вхід третього суматора підключено до виходу другого суматора, а вихід підключено до входу блока ділення, вхід четвертого суматора підключено до виходу блока ділення, а вихід підключено до других входів п'ятого, шостого, сьомого блоків множення, перші входи яких підключено до першого, другого та третього інформаційних входів пристрою, відповідно, виходи п'ятого, шостого, сьомого блоків множення підключено до першого, другого та третього інформаційних виходів пристрою, відповідно.

Недолік пристрою полягає в низькій точності розрахунків при нормалізації векторів.

Найбільш близьким до заявленої корисної моделі є пристрій для нормалізації векторів у системах комп'ютерної графіки (патент на корисну модель № 63343, МПК G06T 15/00, опубл. 10.10.2011, бюл. № 19), який містить блок постійної пам'яті, вісім блоків множення, три суматори, три регістри, три інформаційні входи пристрою, три керуючі входи пристрою, три інформаційні виходи пристрою, керуючий вихід пристрою, причому вихід першого блока множення підключено до першого входу першого суматора, вихід другого блока множення підключено до другого входу першого суматора, вихід третього блока множення підключено до третього входу першого суматора, вихід четвертого блока множення підключено до першого входу третього суматора, вихід п'ятого блока множення підключено до першого інформаційного виходу пристрою, вихід шостого блока множення підключено до другого інформаційного виходу пристрою, вихід сьомого блока множення підключено до третього інформаційного виходу пристрою, вихід восьмого блока множення підключено до першого входу другого суматора, перший регістр інформаційним входом підключений до першого інформаційного входу пристрою, керуючим входом з'єднаний з першим керуючим входом пристрою, а виходом підключений до першого та другого входів першого блока множення та другого входу п'ятого блока множення, другий регістр інформаційним входом підключений до другого інформаційного входу пристрою, керуючим входом з'єднаний з другим керуючим входом пристрою, а виходом підключений до першого та другого входів другого блока множення та другого входу шостого блока множення, третій регістр інформаційним входом підключений до третього інформаційного входу пристрою, керуючим входом з'єднаний з третім керуючим входом пристрою, а виходом підключений до першого та другого входів третього блока множення та другого входу сьомого блока множення, перший вхід восьмого блока множення підключено до виходу першого суматора, а другий вхід - до першого виходу блока постійної пам'яті, другий вхід четвертого блока множення підключено до виходу другого суматора, а перший вхід - до виходу першого суматора, перший вхід другого суматора підключено до виходу восьмого блока множення, другий вхід підключено до другого виходу блока постійної пам'яті, а вихід підключено до другого входу четвертого блока множення, другий вхід третього суматора підключено до третього виходу блока постійної пам'яті, перший вхід підключено до виходу четвертого блока множення, а вихід підключено до перших входів п'ятого, шостого, сьомого блоків множення, відповідно, керуючий вихід пристрою з'єднано з третім керуючим входом пристрою.

Недоліком пристрою є недостатньо висока точність обчислення нормалізованих векторів.

В основу корисної моделі поставлено задачу створення пристрою для нормалізації векторів у системах комп'ютерної графіки, у якому за рахунок введення нових блоків і зв'язків досягається підвищення точності нормалізації векторів.

Поставлена задача вирішується тим, що у пристрій для нормалізації векторів у системах комп'ютерної графіки, який містить вісім блоків множення, три суматори, три регістри, блок постійної пам'яті, три інформаційні входи пристрою, три керуючі входи пристрою, три інформаційні виходи пристрою, керуючий вихід пристрою, причому вихід першого блока множення підключено до першого входу першого суматора, вихід другого блока множення

підключено до другого входу першого суматора, вихід третього блока множення підключено до третього входу першого суматора, вихід четвертого блока множення підключено до першого входу третього суматора, вихід п'ятого блока множення підключено до першого інформаційного виходу пристрою, вихід шостого блока множення підключено до другого інформаційного виходу пристрою, вихід сьомого блока множення підключено до третього інформаційного виходу пристрою, вихід восьмого блока множення підключено до першого входу другого суматора, інформаційний вхід першого регістра підключено до першого інформаційного входу пристрою, керуючий вхід підключено до першого керуючого входу пристрою, а вихід підключено до першого та другого входів першого блока множення та до другого входу п'ятого блока множення, інформаційний вхід другого регістра підключено до другого інформаційного входу пристрою, керуючий вхід підключено до другого керуючого входу пристрою, а вихід підключено до першого та другого входів другого блока множення та до другого входу шостого блока множення, інформаційний вхід третього регістра підключено до третього інформаційного входу пристрою, керуючий вхід підключено до третього керуючого входу пристрою, а вихід - до першого та другого входів третього блока множення та до другого входу сьомого блока множення, перший вхід восьмого блока множення підключено до виходу першого суматора, а другий вхід - до першого виходу блока постійної пам'яті, другий вхід четвертого блока множення підключено до виходу другого суматора, а перший вхід - до виходу першого суматора, перший вхід другого суматора підключено до виходу восьмого блока множення, другий вхід підключено до другого виходу блока постійної пам'яті, а вихід підключено до другого входу четвертого блока множення, другий вхід третього суматора підключено до третього виходу блока постійної пам'яті, а перший вхід підключено до виходу четвертого блока множення, керуючий вихід пристрою поєднано з третім керуючим входом пристрою, згідно з корисною моделлю, введено дев'ятий блок множення, четвертий суматор і четвертий вихід блока постійної пам'яті, перший вхід дев'ятого блока множення поєднано з виходом першого суматора, другий вхід поєднано з виходом третього суматора, а вихід поєднано з першим входом четвертого суматора, другий вхід якого поєднано з четвертим виходом блока постійної пам'яті, а вихід підключено до перших входів п'ятого, шостого, сьомого блоків множення, відповідно.

Корисна модель пояснюється кресленнями, де на фіг. 1 зображено структурну схему пристрою, на фіг. 2 зображено графіки максимальних відносних похибок δ нормалізації векторів для функцій найближчого аналога ($f(k)$) та запропонованого пристрою ($h(k)$).

Пристрій для нормалізації вектора у системах комп'ютерної графіки (фіг. 1) включає перший-третій регістри 1-3, відповідно, перший-третій блоки множення 4-6, відповідно, четвертий блок множення 10, п'ятий-сьомий блоки множення 13-15, відповідно, восьмий блок множення 8, дев'ятий блок множення 26, перший суматор 7, другий суматор 9, третій суматор 11, четвертий суматор 27, блок постійної пам'яті 12, перший-третій 16+18 інформаційні входи пристрою, відповідно, перший-третій 19-21 керуючі входи пристрою, відповідно, перший-третій 22-24 інформаційні виходи пристрою, відповідно, керуючий 25 вихід пристрою.

Керуючий вхід першого регістра 1 підключено до першого 19 керуючого входу пристрою, а інформаційний вхід підключено до першого 16 інформаційного входу пристрою. Керуючий вхід другого регістра 2 підключено до другого 20 керуючого входу пристрою, а інформаційний вхід підключено до другого 17 інформаційного входу пристрою. Керуючий вхід третього регістра 3 підключено до третього 21 керуючого входу пристрою, а інформаційний вхід підключено до третього 18 інформаційного входу пристрою. Перший, другий входи першого блока множення 4 підключено до виходу першого регістра 1 пристрою. Перший, другий входи другого блока множення 5 підключено до виходу другого регістра 2 пристрою. Перший, другий входи третього блока множення 6 підключено до виходу третього регістра 3 пристрою. Перший-третій входи першого суматора 7 підключено до виходів першого-третього блоків множення 4+6 відповідно. Другий вхід восьмого блока множення 8 підключено до першого виходу блока постійної пам'яті 12, а перший вхід - до виходу першого суматора 7. Перший вхід другого суматора 9 підключено до виходу восьмого блока множення 8, а другий вхід - до другого виходу блока постійної пам'яті 12. Перший вхід четвертого блока множення 10 підключено до виходу першого суматора 7, а другий вхід - до виходу другого суматора 9. Перший вхід третього суматора 11 підключено до виходу четвертого блока множення 10, другий вхід - до третього виходу блока постійної пам'яті 12, а вихід - до другого входу дев'ятого блока множення 26, перший вхід якого підключено до виходу першого суматора 7. Перший вхід четвертого суматора 27 підключено до виходу дев'ятого блока множення 26, а другий вхід - до четвертого виходу блока постійної пам'яті 12. Другий вхід п'ятого блока множення 13 підключено до виходу першого регістра 1, перший вхід підключено до виходу четвертого суматора 27, а вихід є першим 22 інформаційним виходом пристрою. Другий вхід шостого блока множення 14 підключено до виходу другого регістра 2,

перший вхід - до виходу четвертого суматора 27, а вихід є другим 23 інформаційним виходом пристрою. Другий вхід сьомого блока множення 15 підключено до виходу третього регістра 3, перший вхід - до виходу четвертого суматора 27, а вихід є третім 24 інформаційним виходом пристрою. Керуючий 25 вихід пристрою підключено до третього 21 керуючого входу пристрою.

5 Теоретичні положення, що лежать в основі функціонування пристрою.

При формуванні високореалістичних тривимірних зображень застосовується нормалізація векторів освітлення, відбиття світла, нормалей.

Обчислення нормалізованих векторів здійснюється за формулами:

$$x' = \frac{x}{\sqrt{x^2 + y^2 + z^2}}; y' = \frac{y}{\sqrt{x^2 + y^2 + z^2}}; z' = \frac{z}{\sqrt{x^2 + y^2 + z^2}}, \quad (1)$$

10 де x' , y' , z' - нормалізовані координати вектора, x , y , z - ненормалізовані координати вектора.

Дана формула включає обчислення трудомістких операцій ділення та знаходження квадратного кореня.

Шляхом застосування поліноміальної регресії апроксимуємо обчислення оберненого

$$\frac{1}{\sqrt{k}} = \frac{1}{\sqrt{x^2 + y^2 + z^2}}$$

квадратного кореня:

$$\frac{1}{\sqrt{k}} = A \cdot k^3 + B \cdot k^2 + C \cdot k + D, \quad (2)$$

15 де $A = -0,95$, $B = 2,966$, $C = -3,614$, $D = 2,597$.

Подано вираз (2) у вигляді:

$$\frac{1}{\sqrt{k}} = ((A \cdot k + B) \cdot k + C) \cdot k + D, \quad (3)$$

Максимальна відносна похибка апроксимації оригінального виразу не перевищує 0,1 % (фіг.

20 2). Використання апроксимаційної формули (3) дозволяє при незначній похибці усунути трудомісткі операції ділення та визначення квадратного кореня.

Пристрій працює наступним чином.

Координата вектора x надходить на перший 16 інформаційний вхід пристрою та записується в перший регістр 1 активним рівнем сигналу на першому 19 керуючому вході. На другий 17 інформаційний вхід пристрою надходить координата y та записується в другий регістр 2 активним рівнем сигналу на другому 20 керуючому вході. Значення координати z надходить на третій 18 інформаційний вхід пристрою і записується в третій регістр 3 активним рівнем сигналу на третьому 21 керуючому вході. Поява сигналу в регістрі 3 сигналізує про запис ортогональних складових вектора в перший-третій регістри 1-3 відповідно. Значення координати x подається на перший-другий входи першого блока множення 4 для піднесення відповідної координати до квадрата. Значення координати y подається на перший-другий входи другого блока множення 5, на виході якого формується значення y^2 . На перший-другий входи третього блока множення 6 подається значення координати z із формуванням на його виході значення z^2 . Для отримання значення $x^2 + y^2 + z^2$ операнди із виходів першого-третього блоків множення 4-6 відповідно передаються на перший, другий, третій входи першого суматора 7 відповідно. Із виходу першого суматора 7 значення підкореневого виразу $k = x^2 + y^2 + z^2$ надходить на перший вхід восьмого блока множення 8, на другий вхід якого передається значення коефіцієнта A із першого виходу блока постійної пам'яті 12. Одержаний результат $A \cdot k$ подається на перший вхід другого суматора 9, на другий вхід якого надходить значення коефіцієнта B із другого виходу блока постійної пам'яті 12. Одержане значення $(A \cdot k + B)$ передається на другий вхід четвертого блока множення 10, на перший вхід якого надходить значення k із виходу першого суматора 7. Вихідне значення $(A \cdot k + B) \cdot k$ передається на перший вхід третього суматора 11, на другий вхід якого надходить значення коефіцієнта C із третього виходу блока постійної пам'яті 12. Отриманий результат $(A \cdot k + B) \cdot k + C$ передається на другий вхід дев'ятого блока множення 26, на перший вхід якого подається k із виходу першого суматора 7. Значення $k \cdot ((A \cdot k + B) \cdot k + C)$ із виходу дев'ятого блока множення 26 подається на перший вхід четвертого суматора 27. На другий вхід четвертого суматора 27 подається значення коефіцієнта D з четвертого виходу блока постійної пам'яті 12. Отримане значення $k \cdot ((A \cdot k + B) \cdot k + C) + D$ подається з виходу четвертого суматора 27 на перші входи п'ятого-сьомого блоків множення 13-15, відповідно і перемножується зі значеннями координат вектора x , y , z , що передаються із виходу першого-третього регістрів 1-3, відповідно на другі входи п'ятого-сьомого блоків множення 13-15, відповідно. На першому-третьому 22-24

інформаційному виходах пристрою, відповідно, отримуємо значення координат x' , y' , z' нормалізованого вектора. Задній фронт активного сигналу на керуючому 25 виході пристрою сигналізує про те, що на інформаційних виходах пристрою отримано достовірні дані, пристрій визначив нормалізований вектор та готовий до прийому нових операндів.

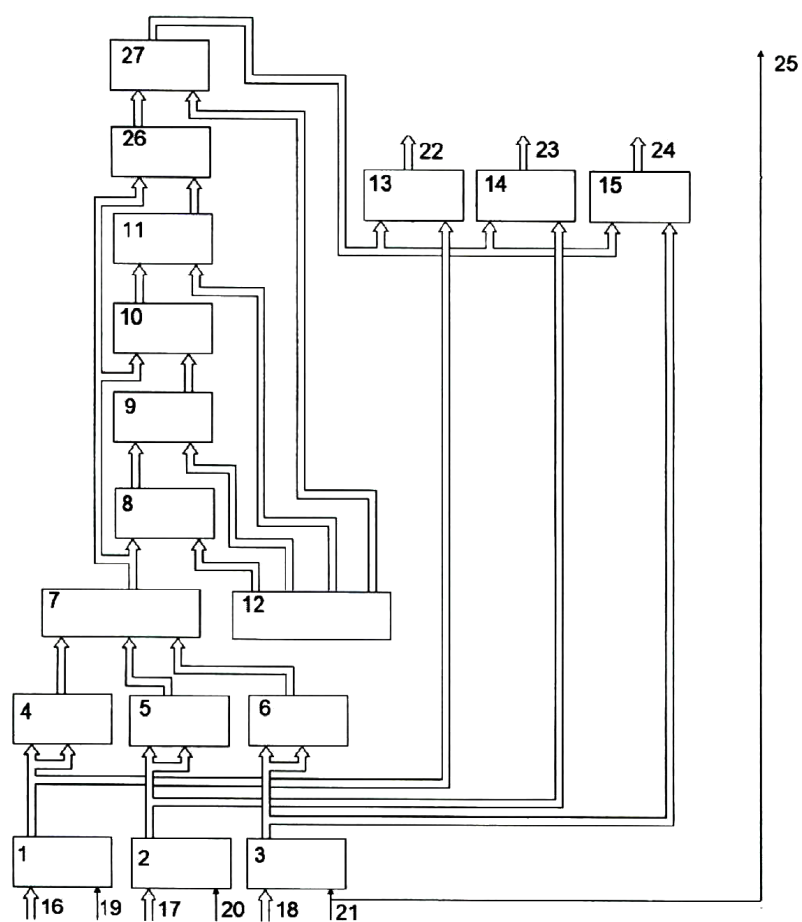
5 У пристрої за найближчим аналогом при нормалізації векторів максимальна відносна похибка не перевищує 0,35 % (фіг. 2), а у запропонованому пристрої - не перевищує 0,1 % (фіг. 2).

Таким чином, точність отриманих значень порівняно із пристроєм за найближчим аналогом у 4 рази більша, що свідчить про суттєве підвищення точності нормалізації векторів.

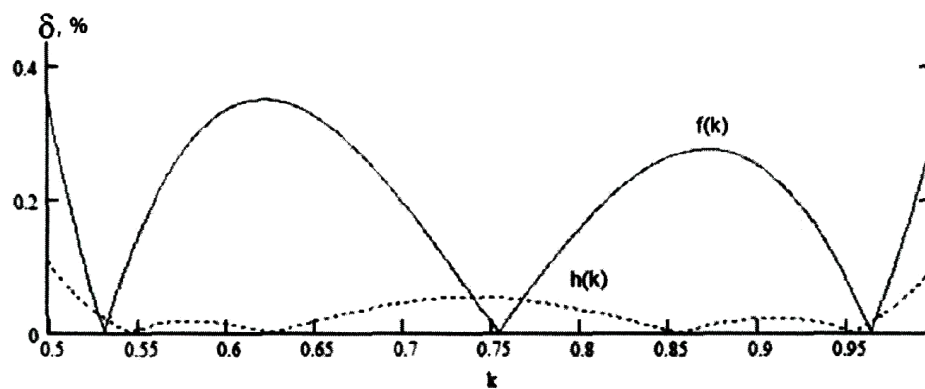
10

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій для нормалізації векторів у системах комп'ютерної графіки, який містить вісім блоків множення, три суматори, три регістри, блок постійної пам'яті, три інформаційні входи пристрою, три керуючі входи пристрою, три інформаційні виходи пристрою, керуючий вихід пристрою, вихід першого блока множення підключено до першого входу першого суматора, вихід другого блока множення підключено до другого входу першого суматора, вихід третього блока множення підключено до третього входу першого суматора, вихід четвертого блока множення підключено до першого входу третього суматора, вихід п'ятого блока множення підключено до першого інформаційного виходу пристрою, вихід шостого блока множення підключено до другого інформаційного виходу пристрою, вихід сьомого блока множення підключено до третього інформаційного виходу пристрою, вихід восьмого блока множення підключено до першого входу другого суматора, перший регістр інформаційним входом підключений до першого інформаційного входу пристрою, керуючим входом з'єднаний з першим керуючим входом пристрою, а виходом підключений до першого та другого входів першого блока множення та другого входу п'ятого блока множення, другий регістр інформаційним входом підключений до другого інформаційного входу пристрою, керуючим входом з'єднаний з другим керуючим входом пристрою, а виходом підключений до першого та другого входів другого блока множення та другого входу шостого блока множення, третій регістр інформаційним входом підключений до третього інформаційного входу пристрою, керуючим входом з'єднаний з третім керуючим входом пристрою, а виходом підключений до першого та другого входів третього блока множення та другого входу сьомого блока множення, перший вхід восьмого блока множення підключено до виходу першого суматора, а другий вхід - до першого виходу блока постійної пам'яті, другий вхід четвертого блока множення підключено до виходу другого суматора, а перший вхід - до виходу першого суматора, перший вхід другого суматора під'єднано до виходу восьмого блока множення, другий вхід під'єднано до другого виходу блока постійної пам'яті, а вихід - до другого входу четвертого блока множення, другий вхід третього суматора підключено до третього виходу блока постійної пам'яті, а перший вхід - до виходу четвертого блока множення, керуючий вихід підключено до третього керуючого входу пристрою, який **відрізняється** тим, що введено дев'ятий блок множення, четвертий суматор і четвертий вихід блока постійної пам'яті, перший вхід дев'ятого блока множення під'єднано до виходу першого суматора, другий вхід під'єднано до виходу третього суматора, а вихід - до першого входу четвертого суматора, другий вхід якого під'єднано до четвертого виходу блока постійної пам'яті, а вихід - до перших входів п'ятого, шостого, сьомого блоків множення, відповідно.



Фиг. 1



Фиг. 2