



УКРАЇНА

(19) UA

(11) 159140

(13) U

(51) МПК

H03M 1/48 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2024 04012**

(22) Дата подання заявки: **09.08.2024**

(24) Дата, з якої є чинними
права інтелектуальної
власності: **01.05.2025**

(46) Публікація відомостей
про державну
реєстрацію: **30.04.2025, Бюл.№ 18**

(72) Винахідник(и):

**Азаров Олексій Дмитрович (UA),
Павлов Сергій Володимирович (UA),
Дудник Олександр Вікторович (UA),
Лукашук Олександр Олегович (UA)**

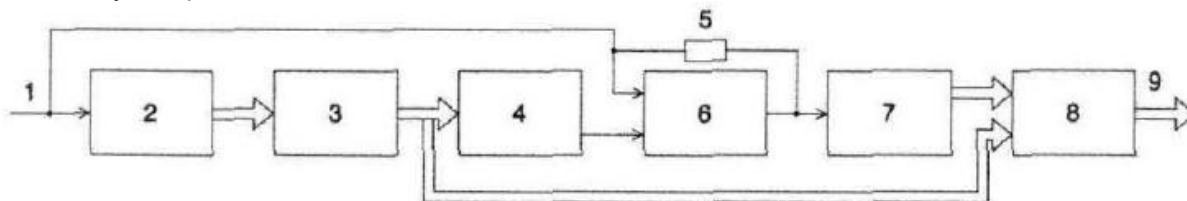
(73) Володілець (володільці):

**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,
вул. Хмельницьке шосе, 95, м. Вінниця,
21021 (UA)**

(54) ПАРАЛЕЛЬНО-ПОРОЗРЯДНИЙ АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Паралельно-порозрядний аналого-цифровий перетворювач містить порозрядний аналого-цифровий перетворювач. Введено паралельний аналого-цифровий перетворювач, перетворювач з одиничного в двійковий код, двійковий цифро-аналоговий перетворювач, операційний підсилювач з резистором масштабу, суматор, причому вхідну шину паралельного аналого-цифрового перетворювача з'єднано з першим входом операційного підсилювача, а також з резистором масштабу, інформаційний вихід паралельного аналого-цифрового перетворювача з'єднано з перетворювачем з одиничного в двійковий код, інформаційний вихід якого з'єднано з двійковим цифро-аналоговим перетворювачем та з другим входом суматора, відповідно, вихід двійкового цифро-аналогового перетворювача з'єднано з другим входом операційного підсилювача, вихід операційного підсилювача з'єднано з вхідною шиною порозрядного аналого-цифрового перетворювача, а також з резистором масштабу, інформаційний вихід порозрядного аналого-цифрового перетворювача з'єднано з першим входом суматора.



UA 159140 U

Корисна модель належить до імпульсної техніки і може бути використана для перетворення аналогових сигналів у цифрові.

Відомий аналого-цифровий перетворювач [А.с. СРСР № 1221750, М. кл. Н03М1/26, бюл. № 12, 30.03.86], що містить схему порівняння, цифро-аналоговий перетворювач, регістр послідовного наближення, вхідну шину, шину "Запуск", блок постійної пам'яті, блок підсумовування, регістр, лічильник адреси, вихідні шини, шину тактових імпульсів, причому перший вхід схеми порівняння є вхідною шиною, другий вхід підключено до виходу цифро-аналогового перетворювача, вихід - до інформаційного входу регістра послідовного наближення і управляючого входу блока постійної пам'яті, перший управляючий вхід регістра послідовного наближення є шиною "Запуск" і об'єднаний з другим управляючим входом лічильника адреси та другим управляючим входом регістра, другий управляючий вхід регістра послідовного наближення підключений до шини тактових імпульсів, першого управляючого входу лічильника адреси, першого управляючого входом регістра, виходи регістра послідовного наближення підключені до відповідних входів цифро-аналогового перетворювача, виходи лічильника адреси підключені до відповідних адресних входів блока постійної пам'яті, виходи блока постійної пам'яті підключені до відповідних перших входів блока підсумовування, виходи регістра підключені до відповідних других входів блока підсумовування і є вихідними шинами.

Недоліком цього пристрою є низька точність перетворення і відмовостійкість до параметричних відмов.

Найближчим аналогом до корисної моделі є аналого-цифровий перетворювач (патент України № 44123, МПК Н03М 1/00 (2009), опубл. 25.09.2009, бюл. № 19, 2009 р.), що містить вхідну шину, схему порівняння, цифро-аналоговий перетворювач, два регістри послідовного наближення, блок постійної пам'яті, вихідні шини, аналоговий комутатор, додатковий цифро-аналоговий перетворювач, блок керованої розгортки коду, блок оперативної пам'яті, цифровий обчислювальний пристрій, блок керування, причому другий вхід схеми порівняння підключено до виходу цифро-аналогового перетворювача, перший інформаційний вхід аналогового комутатора є вхідною шиною, другий інформаційний вхід аналогового комутатора з'єднано з виходом додаткового цифро-аналогового перетворювача, входи якого об'єднано з виходами другого регістра послідовного наближення, третій вхід аналогового комутатора об'єднано з шиною керуючих сигналів блока керування, вихід аналогового комутатора з'єднано з першим входом схеми порівняння, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, перший вхід другого регістра послідовного наближення з'єднано з шиною керуючих сигналів блока керування, другий вхід другого регістра послідовного наближення з'єднано з інформаційною шиною результату порівняння, виходи блока керування з'єднано з шиною керуючих сигналів, входи цифро-аналогового перетворювача об'єднано з виходами регістра і першими входами цифрового обчислювального пристрою, перший вхід регістра з'єднано з шиною керуючих сигналів блока керування, другі входи регістра з'єднано з виходами регістра послідовного наближення, треті входи регістра з'єднано з виходами блока керованої розгортки коду, перший вхід регістра послідовного наближення з'єднано з інформаційною шиною результату порівняння, другий вхід регістра послідовного наближення з'єднано з шиною керуючих сигналів блока керування, вхід блока керованої розгортки коду з'єднано з шиною керуючих сигналів блока керування, виходи блока постійної пам'яті з'єднано з другими входами цифрового обчислювального пристрою, треті входи цифрового обчислювального пристрою об'єднано з блоком оперативної пам'яті, виходи цифрового обчислювального пристрою є вихідними шинами. Така сукупність елементів і зв'язків утворює порозрядний аналого-цифровий перетворювач, тому в подальшому будемо використовувати узагальнене поняття: порозрядний аналого-цифровий перетворювач.

Недоліком найближчого аналога є недостатня швидкодія: під час різких змін сигналу він припускається помилок, оскільки не встигає за вхідним сигналом і намагається його наздогнати.

В основу корисної моделі поставлено задачу створення паралельно-порозрядного аналого-цифрового перетворювача, в якому за рахунок введення нових елементів і зав'язків між ними підвищується швидкодія, що розширює галузь використання пристрою.

Поставлена задача вирішується тим, що в паралельно-порозрядний аналого-цифровий перетворювач, який містить порозрядний аналого-цифровий перетворювач, введено паралельний аналого-цифровий перетворювач, перетворювач з одиничного в двійковий код, двійковий цифро-аналоговий перетворювач, операційний підсилювач з резистором масштабу, суматор, причому вхідну шину паралельного аналого-цифрового перетворювача з'єднано з першим входом операційного підсилювача, а також з резистором масштабу, інформаційний вихід паралельного аналого-цифрового перетворювача з'єднано з перетворювачем з одиничного в двійковий код, інформаційний вихід якого з'єднано з двійковим цифро-аналоговим

перетворювачем та з другим входом суматора, відповідно, вихід двійкового цифро-аналогового перетворювача з'єднано з другим входом операційного підсилювача, вихід операційного підсилювача з'єднано з вхідною шиною порозрядного аналого-цифрового перетворювача, а також з резистором масштабу, інформаційний вихід порозрядного аналого-цифрового перетворювача з'єднано з першим входом суматора.

Корисна модель пояснюється кресленням, на якому зображена принципова схема паралельно-порозрядного аналого-цифрового перетворювача.

Пристрій містить вхідну шину 1 паралельного аналого-цифрового перетворювача 2, яку з'єднано з першим входом операційного підсилювача 6, а також з резистором масштабу 5, інформаційний вихід паралельного аналого-цифрового перетворювача 2 з'єднано з перетворювачем з одиничного в двійковий код 3, інформаційний вихід якого з'єднано з двійковим цифро-аналоговим перетворювачем 4 та з другим входом суматора 8 відповідно, вихід двійкового цифро-аналогового перетворювача 4 з'єднано з другим входом операційного підсилювача 6, вихід якого з'єднано з вхідною шиною порозрядного аналого-цифрового перетворювача 7, а також з резистором масштабу 5, інформаційний вихід порозрядного аналого-цифрового перетворювача 7 з'єднано з першим входом суматора 8, пристрій також містить вихідну шину 9.

Працює пристрій таким чином:

Вхідний сигнал надходить на вхідну шину 1 паралельного аналого-цифрового перетворювача 2, щоб він перетворив все, що може по максимальній шкалі, тобто максимальну амплітуду, яку він може забрати з вхідного сигналу. Якщо ця максимальна амплітуда менша або дорівнює нулю, то вихідний код одразу буде правильним. Це пояснюється тим, що від порозрядного аналого-цифрового перетворювача 7 суматор 8 отримає нуль, а від перетворювача з одиничного в двійковий код 3 отримає правильний код, який передасть на вихід.

Якщо діапазон вхідного сигналу перевищує можливість перетворення паралельного аналого-цифрового перетворювача 2, то різниця буде оброблена операційним підсилювачем 6 з резистором масштабу 5 і доперетворюється в порозрядному аналого-цифровому перетворювачі 7.

Двійковий цифро-аналоговий перетворювач 4 використовується для визначення частини сигналу, яку зміг перетворити паралельний аналого-цифровий перетворювач 2. Якщо вхідний сигнал менший або дорівнює діапазону зчитування, вихідний сигнал одразу буде правильним. У випадку, якщо вхідний сигнал перевищує діапазон, перетворення затягнеться на n тактів, що залежить від різниці між сигналом та можливим діапазоном. Результат буде довірливоважений з використанням порозрядного аналого-цифрового перетворювача 7.

Операційний підсилювач 6 (підсилювач різниці) увімкнений за схемою диференційного підсилювача. Він обраховує та підсилює різницю аналогових сигналів на його входах (тобто виділяє не врівноважену величину аналогового сигналу). Операційний підсилювач 6 використовується з резистором масштабу 5, який вибирається один раз - для відновлення діапазону порозрядного аналого-цифрового перетворювача 7, тобто задає коефіцієнт підсилення різниці вхідних сигналів.

Використання перетворювача з одиничного в двійковий код 3 пояснюється тим, що паралельний аналого-цифровий перетворювач 2 видає одиничний код (набір нулів і одиниць). На виході пристрою міститься суматор 8 (або інший обчислювальний пристрій), який комбінує два коди, отримані від порозрядного аналого-цифрового перетворювача 7 та перетворювача з одиничного в двійковий код 3, і формує вихідний код, який надходить на вихідну шину 9.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Паралельно-порозрядний аналого-цифровий перетворювач, який містить порозрядний аналого-цифровий перетворювач, який **відрізняється** тим, що введено паралельний аналого-цифровий перетворювач, перетворювач з одиничного в двійковий код, двійковий цифро-аналоговий перетворювач, операційний підсилювач з резистором масштабу, суматор, причому вхідну шину паралельного аналого-цифрового перетворювача з'єднано з першим входом операційного підсилювача, а також з резистором масштабу, інформаційний вихід паралельного аналого-цифрового перетворювача з'єднано з перетворювачем з одиничного в двійковий код, інформаційний вихід якого з'єднано з двійковим цифро-аналоговим перетворювачем та з другим входом суматора, відповідно, вихід двійкового цифро-аналогового перетворювача з'єднано з другим входом операційного підсилювача, вихід операційного підсилювача з'єднано з вхідною шиною порозрядного аналого-цифрового перетворювача, а також з резистором

масштабу, інформаційний вихід порозрядного аналого-цифрового перетворювача з'єднано з першим входом суматора.

